

МИКРОСХЕМА ИНТЕГРАЛЬНАЯ 1892ВМ14Я

РЕКОМЕНДАЦИИ ПО ТРАССИРОВКЕ DDR3

ОГЛАВЛЕНИЕ

1. ВВЕДЕНИЕ	3
2. ПОДДЕРЖИВАЕМЫЕ КОНФИГУРАЦИИ ПАМЯТИ	4
3. ГРУППЫ СИГНАЛОВ	6
4. ВАРИАНТЫ РАСПОЛОЖЕНИЯ КОМПОНЕНТОВ.....	7
5. РЕКОМЕНДАЦИИ ПО ТРАССИРОВКЕ СИГНАЛОВ DDR3, DDR3L	8
5.1 Импеданс линий и терминация	8
5.2 Свапирование данных	8
5.3 Последовательность трассировки сигналов	8
5.4 Рекомендации по трассировке DATA LANE	8
5.5 Рекомендации по трассировке ADDR/CMD	9
5.6 Рекомендации по трассировке CLK.....	9
5.7 Рекомендации по трассировке опорного питания DDRx_VREF.....	9
6. РЕКОМЕНДАЦИИ ПО МОДЕЛИРОВАНИЮ ТОПОЛОГИИ.....	10
7. СПИСОК ИЗМЕНЕНИЙ	11

1. ВВЕДЕНИЕ

В данном документе приведены рекомендации по подключению памяти DDR к микросхеме 1892ВМ14Я, в части, касающейся реализации топологии печатной платы.

2. ПОДДЕРЖИВАЕМЫЕ КОНФИГУРАЦИИ ПАМЯТИ

Микросхема 1892ВМ14Я поддерживает следующие типы памяти: DDR2, DDR3, DDR3L, mDDR, LPDDR2 в 32-разрядном режиме.

Возможно подключение двух 16-разрядных микросхем (Рисунок 2.1) или четырёх 8-разрядных (Рисунок 2.2). Сигналы адреса, управления и тактовой частоты должны трассироваться на печатной плате в виде Т-дерева. Топология fly-by не поддерживается.

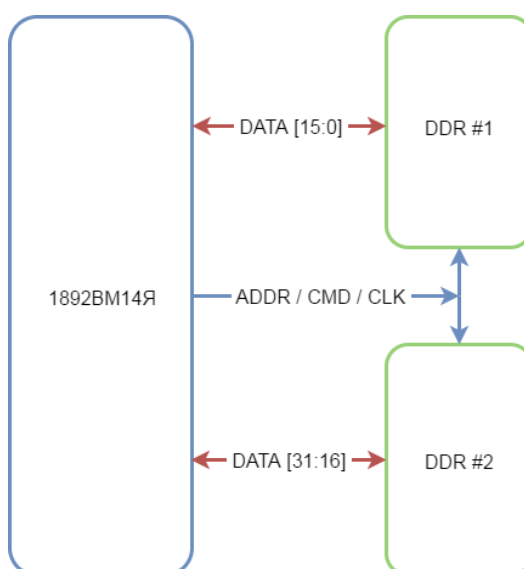


Рисунок 2.1. Подключение 16-разрядных микросхем

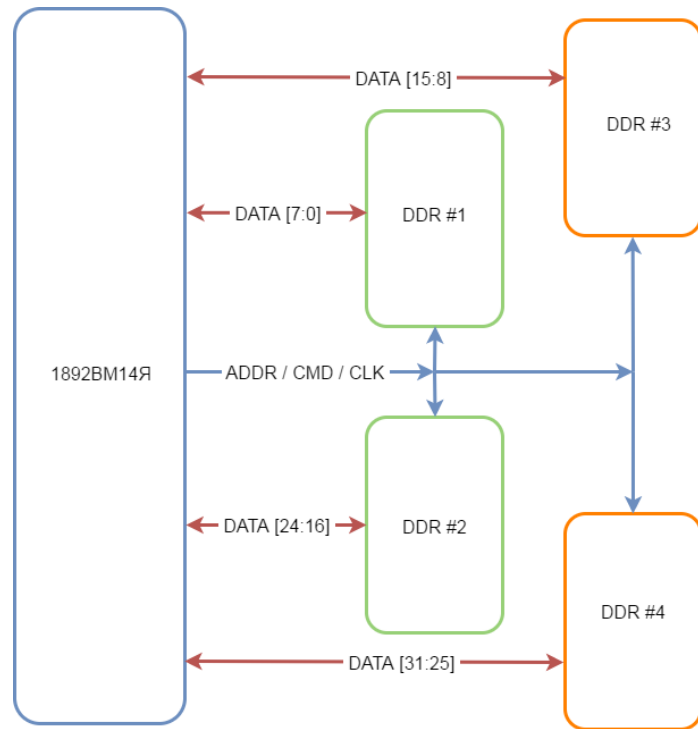


Рисунок 2.2. Подключение 8-разрядных микросхем

3. ГРУППЫ СИГНАЛОВ

Сигналы DDR3 интерфейса подразделяются на три группы:

Номер группы	Название группы	Сигналы
1	ADDR, CMD	A[14:0], BA[2:0]
		nRAS, nCAS, nWE
		nCS, ODT, CKE, RST
2	CLK	CK / CKn
3	DATA LANE0	DQ [7:0] DM0 DQS0 / nDQS0
	DATA LANE1	DQ [15:8] DM1 DQS1 / nDQS1
	DATA LANE2	DQ [23:16] DM2 DQS2 / nDQS2
	DATA LANE3	DQ [31:24] DM3 DQS3 / nDQS3

4. ВАРИАНТЫ РАСПОЛОЖЕНИЯ КОМПОНЕНТОВ

Рекомендуемые варианты расположения компонентов на печатной плате приведены на рисунке 4.1.

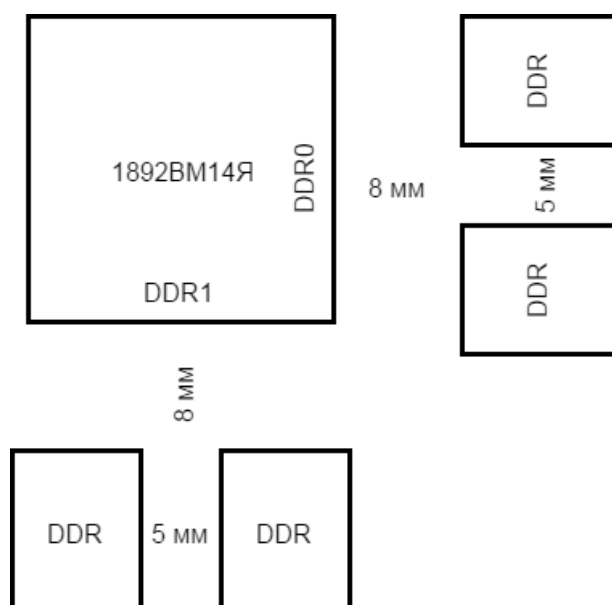


Рисунок 4.1. Рекомендуемое размещение компонентов на печатной плате

Примечание. При использовании 8-разрядных микросхем памяти две микросхемы размещаются на верхней стороне печатной платы, и две на нижней.

5. РЕКОМЕНДАЦИИ ПО ТРАССИРОВКЕ СИГНАЛОВ DDR3, DDR3L

5.1 Импеданс линий и терминация

Рекомендуемый импеданс:

- для одиночных проводников: 50 Ом;
- для дифференциальных пар: 100 Ом.

Дополнительные терминирующие резисторы на линиях ADDR, CMD и DATA не требуются. Рекомендуется устанавливать терминирующий резистор номиналом 100 Ом между сигналами DDRx_CK и DDRx_CKn, в точке разветвления сигнала.

5.2 Свапирование данных

Для упрощения трассировки допускается переставлять между собой сигналы данных внутри одной группы DATA LANE. Допускается переставлять группы DATA LANE между собой. Не допускается переставлять сигналы данных, относящихся к разным группам DATA LANE.

Не допускается перестановка сигналов DMx и DQSx / nDQSx.

5.3 Последовательность трассировки сигналов

1. DATA
2. ADDR/CMD
3. CLK

5.4 Рекомендации по трассировке DATA LANE

Все сигналы в пределах одного DATA LANE должны быть разведены в одних и тех же слоях с минимальным и одинаковым числом переходных отверстий.

Зазоры между проводниками внутри группы 3...3,5Н, где Н – расстояние до опорного слоя. Зазоры между дифференциальным сигналом DQS и остальными сигналами в группе: 4Н.

Зазор до сигналов, которые не входят в группу, должен быть не менее 4Н.

Длины сигналов внутри каждого DATA LANE должны быть выравнены с точностью $\pm 0,1$ мм. Разница между разными DATA LANE не более 1 мм. Разница между длиной самого короткого DATA LANE и тактовым сигналом DDR_CK – не более 25 мм.

5.5 Рекомендации по трассировке ADDR/CMD

Все сигналы в пределах одного DATA LANE должны быть разведены в одних и тех же слоях с минимальным и одинаковым числом переходных отверстий.

Зазоры между проводниками внутри группы $2,5 \dots 3H$, где H – расстояние до опорного слоя.

Длина сигналов внутри группы равна длине тактового сигнала $DDR_CK \pm 0,635$ мм.

5.6 Рекомендации по трассировке CLK

Зазоры от сигнала DDR_CK до других сигналов: $5H$, где H – расстояние до опорного слоя.

Сигналы внутри диф. пары должны быть выравнены с точностью $\pm 0,1$ мм. Общая длина сигнала DDR_CK не должна превышать 50 мм.

5.7 Рекомендации по трассировке опорного питания $DDRx_VREF$

Опорное питание $DDRx_VREF$ должно быть выполнено проводником шириной не менее 1 мм или полигоном. Зазор до других сигналов: не менее 0,5 мм.

6. РЕКОМЕНДАЦИИ ПО МОДЕЛИРОВАНИЮ ТОПОЛОГИИ

Для достижения наилучших результатов рекомендуется проводить моделирование топологии платы.

IBIS-модель процессора доступна на сайте <http://multicore.ru/>.

В ходе моделирования необходимо убедиться в том, что:

- Положительные (overshoot) и отрицательные (preshoot) выбросы сигналов не выходят за пределы допустимых. Предельные значения уровней сигналов представлены в п.9.6.1-п.9.6.2 спецификации JESD79-3;
- Временной бюджет (setup и hold) соответствует спецификации на используемые микросхемы памяти.

7. СПИСОК ИЗМЕНЕНИЙ