

МИКРОСХЕМА ИНТЕГРАЛЬНАЯ 1892ВМ14Я

ПЕРЕЧЕНЬ ОГРАНИЧЕНИЙ

ОГЛАВЛЕНИЕ

1. О документе	4
2. Ограничения BOOTROM	5
2.1 BootromROM не может загрузить стандартный SPL U-Boot (rf#867)	5
2.1.1 Описание	5
2.1.2 Решение	5
2.2 BootROM: Зависание при выполнении команды терминала commitspiflash (rf#2088)	5
2.2.1 Описание	5
2.2.2 Решение	5
2.3 Код BootROM некорректно инициализирует DDR (rf#3053, rf#1969)	5
2.3.1 Решение	6
2.4 При подаче теплого сброса происходит зависание BootROM (rf#2859)	6
2.4.1 Описание	6
2.4.2 Решение	6
3. Ограничения VPU	7
3.1 При включении потока кодирования через RUN_ON не включается ECD (rf#908)	7
3.1.1 Описание	7
3.1.2 Решение	7
3.2 Зависание процессора при обменах между VRAM и DDR при большой нагрузке (rf#1382)	7
3.2.1 Описание	7
3.2.2 Решение	7
4. Ограничения аппаратного механизма обеспечения когерентности	8
4.1 Зависания при использовании аппаратной поддержки когерентности кэша MPU при работе с DMA (rf#972)	8
4.1.1 Описание	8
4.1.2 Решение	8
4.2 Включение аппаратного механизма обеспечения когерентности при некоторых режимах начальной загрузки (rf#971)	8
4.2.1 Описание	8
4.2.2 Решение	8
5. Ограничения USBIC	9
5.1 Нестабильная работа порта USB	9
5.1.1 Описание	9
5.1.2 Решение	9
6. Ограничения VPIN	10
6.1 Повреждение кадра при включенной децимации в DMA (rf#1109)	10
6.1.1 Описание	10
6.1.2 Решение	10
6.2 Зависания при включении CSI-контроллера (rf#1361)	10
6.2.1 Описание	10
6.2.2 Решение	10
6.3 Зависание при запуске видео с CSI (rf#1372)	10
6.3.1 Описание	10
6.3.2 Решение	10
6.4 VINC: Некорректные данные в гистограммах (rf#2159)	11
6.4.1 Описание	11
6.4.2 Решение	11
7. Ограничения DDRMC	12

7.1 Включение retention по холодному сбросу (rf#1160)	12
7.1.1 Описание	12
7.1.2 Решение	12
8. Ограничения NANDMPORT	13
8.1 Ошибка чтения стертых страниц с ECC (rf#1100).....	13
8.1.1 Описание	13
8.1.2 Решение	13
8.2 При загрузке из NAND-флэш не выполняется коррекция ошибок (rf#1488)	13
8.2.1 Описание	13
8.2.2 Решение	13
9. Ограничения GEMAC	14
9.1 Низкая пропускная способность коммутатора микросхемы при передаче данных от задаточных устройств (Master) на уровне L1_COMM до исполнительных устройств (Slave) на уровне L0_COMM (rf#1392)	14
9.1.1 Описание	14
9.1.2 Решение	14
9.2 Отсутствие стандартного тактирующего вывода для режима 1000 Мб/с	14
9.2.1 Описание	14
9.2.2 Решение	14
10. ОГРАНИЧЕНИЯ SPI.....	16
10.1 Не работает обмен данными по протоколу Texas Instruments SSP	16
10.1.1 Описание.....	16
10.1.2 Решение.....	16
11. Системные ограничения	17
11.1 Низкий приоритет обращений CPU к регистрам при передаче данных задаточными устройствами по шине L1 (rf#973).....	17
11.1.1 Описание.....	17
11.1.2 Решение.....	17
11.2 Низкий приоритет VPIN при работе с памятью DDR (rf#1216).....	17
11.2.1 Описание.....	17
11.2.2 Решение.....	17
11.3 Мастера на L2_COMM не имеют доступа к старшим адресам DDRMC1 [0xF000_0000-0xFFFF_FFFF] (rf#7224).....	17
11.3.1 Описание.....	17
11.3.2 Решение.....	17

1.0 ДОКУМЕНТЕ

Данный документ описывает известные аппаратные ограничения и особенности микросхемы 1892ВМ14Я.

В документе не перечислены ограничения и особенности процессорного ядра Cortex-A9. Данная информация доступна в документе «ARM® Cortex™ -A9 processors r3 releases. Software Developers Errata Notice (ID032315)» на сайте компании ARM.

Ограничения DSP-ядра ELcore-30M перечислены в отдельном документе «DSP-ядро ELcore-30M. Перечень выявленных ограничений».

2. ОГРАНИЧЕНИЯ BOOTROM

2.1 BootROM не может загрузить стандартный SPL U-Boot (rf#867)

Ограничение применимо к микросхемам партии: 1447, 1544.

2.1.1 Описание

При загрузке с SD-карты и SPI флэш BootROM читает заголовок U-Boot и проверяет некоторые поля:

- magic = 0x27051956
- hsrc должен быть правильным
- размер, адрес загрузки и точка входа должны быть подходящими для RAM
- os = 17 (u-boot)
- arch = 2 (arm)
- type = 5 или 1 (при type = 5 включается кеш)
- comp = 0
- dsrc должен быть правильным

Если хоть одно из условий не соблюдено, то выдаётся ошибка и загрузка прерывается.

2.1.2 Решение

Для обхода проблемы необходимо собирать U-Boot таким образом, чтобы заголовок соответствовал приведенным выше требованиям.

2.2 BootROM: Зависание при выполнении команды терминала commitspiflash (rf#2088)

Ограничение применимо к микросхемам партии: 1447, 1544.

2.2.1 Описание

BootROM зависает при выполнении команды терминала commitspiflash, если значение count нечетное.

Например: "commitspiflash 20000000 5".

Это происходит независимо от того, был ли предварительно загружен HEX-файл или нет.

2.2.2 Решение

В параметре count команды commitspiflash указывать четное число.

2.3 Код BootROM некорректно инициализирует DDR (rf#3053, rf#1969)

Ограничение применимо к микросхемам всех партий.

2.3.1 Решение

Использовать собственную функцию инициализации DDR. В качестве базовой может быть использована функция, интегрированная в предоставляемый загрузчик U-Boot.

2.4 При подаче теплого сброса происходит зависание BootROM (rf#2859)

Ограничение применимо к микросхемам партии: 1447, 1544.

2.4.1 Описание

При подаче внешнего сброса через вывод NRST_WARM, при сбросах по сторожевым таймерам (SOC_WDT, CPU0_WDT), а также при программном сбросе (SW) BootROM останавливается с ошибкой "CRITICAL ERROR POSTCODE 0x00000004", которая выводится в UART0 обоими ядрами, например

```
CCRRRIITTIICCAALL EERRRRROOR R PPOOSTSTCCODED E 0x00x000000000000404
CRI
TCICARLITI CEARLR OERR RPOORS TPCOOSDTEC ODE 0x000000x00004000004
CRITI
CCARLI TEIRCRAOLR EPRORSOTRC OPDOES TCO0E0x 00000000x400000004
CRITICA
ECRRRIOTRI CPAOLS TECRORDOER POS0TC0xD000E0 00040x000000004
CRITICAL E
RCRROIRT IPCOASLT CEORDREO R P0x00STC00000DE 0040x000000004
CRITICAL ERR
OCR PROITISCTACLO DEER ROR 0Px0000STC00000DE 40x000000004
CRITICAL ERRO
CR IPTOISCTACLO DEER ROR 0Px0000S0TC00D0E0 40x000000004
CRITICAL ERROR
CPROISTTICCOADLE ERR0x00R P00000STC0040DE 0x000000004
```

При подаче теплого сброса BootROM выполняет переход на код восстановления контекста исполнения. Адрес перехода должен быть записан в регистр ALWAYS_MISC0. Значение этого регистра по умолчанию равно нулю. BootROM видит, что значение регистра некорректно и сообщает об ошибке. Значение 0x0000019c соответствует ветке _cold_reset в самом BootROM, таким образом при подаче теплого сброса произойдет обычная загрузка, такая же, как и при включении питания.

2.4.2 Решение

Сразу после запуска процессора записать значение 0x0000019c в регистр ALWAYS_MISC0.

3. ОГРАНИЧЕНИЯ VPU

3.1 При включении потока кодирования через RUN_ON не включается ECD (rf#908)

Ограничение применимо к микросхемам всех партий.

3.1.1 Описание

При использовании регистра THREAD[x].RUN_ON для включения потока кодирования, блок EC не включается, так как не устанавливаются корректные значения для полей регистров TASK блоков EC и ED.

3.1.2 Решение

- Не использовать регистр THREAD[x].RUN_ON для включения потока кодирования. Включать кодирование с помощью регистра THREAD[x].TASK.RUN. В этом случае блок EC включается автоматически посредством записи значения 0xc2 в регистр EC[x].TASKCTRC.TASK.task_id.
- Предварительно настроить регистры TASK блоков EC и ED, за этим может следовать запуск кодирования/декодирования.

3.2 Зависание процессора при обменах между VRAM и DDR при большой нагрузке (rf#1382)

Ограничение применимо к микросхемам всех партий.

3.2.1 Описание

При работе видеоядра VELcore-01 и одновременно выполняемых другими блоками обменах по шине AXI наступает ситуация зависания (deadlock), приводящая к остановке обменов между памятью видеоядра VRAM и внешней памятью DDR.

3.2.2 Решение

Решение заключается в разведении процедур записи в VRAM и чтения из VRAM – по времени и по адресатам:

- расположение четных и нечетных кадров в блоках памяти, подключенных к разным контроллерам DDRMC;
- программное отслеживание обменов с VRAM (чтобы не допустить одновременной записи и чтения);
- введение промежуточного буфера между VRAM и памятью, в которой хранится изображение.

Последний вариант реализован в драйвере VPU и является рекомендуемым.

Более подробное описание ситуации и обходов приведено в документе «Зависание процессора 1892BM14Я при обменах между VRAM и DDR при большой нагрузке (rf#1382). Обход проблемы. 3 способа решения», предоставляемого по запросу.

4.ОГРАНИЧЕНИЯ АППАРАТНОГО МЕХАНИЗМА ОБЕСПЕЧЕНИЯ КОГЕРЕНТНОСТИ

4.1 Зависания при использовании аппаратной поддержки когерентности кэша MPU при работе с DMA (rf#972)

Ограничение применимо к микросхемам всех партий.

4.1.1 Описание

При записи данных от DMA (PDMA, SDMA, DMA портов SDMMC, USBIC, GEMAC, NANDMPORT) с использованием аппаратного механизма обеспечения когерентности возможно зависание CPU-кластера.

4.1.2 Решение

Не использовать аппаратную поддержку когерентности кэша MPU при работе с DMA обеспечения когерентности.

4.2 Включение аппаратного механизма обеспечения когерентности при некоторых режимах начальной загрузки (rf#971)

Ограничение применимо к микросхемам всех партий.

4.2.1 Описание

При загрузке с SDMMC, SPI, NANDMPORT, UART (значение регистра BOOT не равно 0) происходит включение аппаратного механизма обеспечения когерентности, что может привести к зависанию процессора (см. 4.1).

4.2.2 Решение

При загрузке в указанных режимах, по окончанию процедуры начальной загрузки необходимо записать значение 0x0 в регистр BOOT_REMAP.

5.ОГРАНИЧЕНИЯ USBIC

5.1 Нестабильная работа порта USB

Ограничение применимо к микросхемам партии: 1447, 1544.

5.1.1 Описание

Нестабильно работает порт USB микросхемы 1892ВМ14Я.

5.1.2 Решение

Решением является использование микросхем партии 1729.

Для уже приобретенных микросхем партий 1447, 1544 рекомендуется использование внешнего контроллера USB.

6.ОГРАНИЧЕНИЯ VPIN

6.1 Повреждение кадра при включенной децимации в DMA (rf#1109)

Ограничение применимо к микросхемам всех партий.

6.1.1 Описание

При включенной децимации в DMA прерывание FRAME_INT_ENABLE срабатывает в начале следующего кадра, что ведет к повреждению текущего и последующего кадров.

6.1.2 Решение

Не использовать режим децимации в DMA VPIN.

6.2 Зависания при включении CSI-контроллера (rf#1361)

Ограничение применимо к микросхемам всех партий.

6.2.1 Описание

При включении CSI-контроллера возможно его зависание.

Данная проблема не касается параллельного интерфейса ввода видеоданных.

6.2.2 Решение

После установки бита PORT_ENABLE проверить состояние статусного регистра, и в случае, если он равен 0x60000, выключить и повторно включить PORT_ENABLE.

6.3 Зависание при запуске видео с CSI (rf#1372)

Ограничение применимо к микросхемам всех партий.

6.3.1 Описание

Значение статусного регистра CSI (регистр 0x37200804) становится равным 0x201 (биты 0 и 9 - OVR_INTR и ECC_NO_ERR). Бит 9 (ECC_NO_ERR) всегда выставляется при нормальной работе и свидетельствует о том, что успешно принята очередная строка от видеосенсора. Но в данном случае дополнительно выставляется бит 0, который свидетельствует об ошибке. В связи с этим возможна нестабильная работа порта CSI.

Данная проблема не касается параллельного интерфейса ввода видеоданных.

6.3.2 Решение

На момент составления данного документа путей обхода не выявлено, кроме сброса микросхемы 1892BM14Я.

6.4 VINC: Некорректные данные в гистограммах (rf#2159)

Ограничение применимо к микросхемам всех партий.

6.4.1 Описание

При включенном бите STREAM0_PROC_CTR.HIST_THR и определении размера зоны во весь кадр при сборе гистограмм возможно появление единичных некорректных значений, имеющих слишком маленькое (0, 1) или слишком большое (несколько миллионов) значение.

6.4.2 Решение

Зона должна иметь отступ от правой границы изображения на 1 пиксель либо от нижней границы на 1 пиксель.

При попытке определения размера зоны во весь кадр драйвер будет выдавать ошибку.

7.ОГРАНИЧЕНИЯ DDRMC

7.1 Включение retention по холодному сбросу (rf#1160)

Ограничение применимо к микросхемам всех партий.

7.1.1 Описание

Если питание контактных площадок DDRx_VDDQ подается раньше, чем установлен в 0 разряд RET_DDRMCx в регистре DDR_PIN_RET, то возможно повышенное потребление по цепи DDRx_VDDQ до момента записи нуля в разряд RET_DDRMCx в регистре DDR_PIN_RET.

7.1.2 Решение

Обеспечить запись нуля в разряд RET_DDRMCx регистра DDR_PIN_RET перед подачей питания контактных площадок DDRx_VDDQ. Это может быть сделано с помощью программного управления источником питания, формирующим напряжение DDRx_VDDQ.

8. ОГРАНИЧЕНИЯ NANDMPORT

8.1 Ошибка чтения стертых страниц с ECC (rf#1100)

Ограничение применимо к микросхемам всех партий.

8.1.1 Описание

В некоторых конфигурациях, при чтении стёртых страниц с включенной аппаратной коррекцией ECC, контроллер NANDMPORT возвращает случайные значения в некоторых байтах данных.

При использовании конфигурации драйвер Linux подсистемы MTD будет помечать блоки стирания как битые при каждом чтении после стирания.

Конфигурации с режимами коррекции и размерами страниц, при которых контроллер возвращает случайные значения, приведён в разделе 17.7.3 документа «Микросхема интегральная 1892ВМ14Я. Руководство пользователя».

8.1.2 Решение

- Для работы через подсистему MTD Linux с использованием аппаратной коррекции ECC в контроллере необходимо выбирать флэш-память с параметрами размера страницы и требуемой минимальной силой ECC согласно таблице 17.32, раздела 17.7.3 документа «Микросхема интегральная 1892ВМ14Я. Руководство пользователя»;
- Для работы через подсистему MTD Linux использовать программную коррекцию ECC с использованием любой флэш-памяти.

8.2 При загрузке из NAND-флэш не выполняется коррекция ошибок (rf#1488)

Ограничение применимо к микросхемам всех партий.

8.2.1 Описание

При загрузке с NAND-флэш (BOOT=0x1) коррекция ошибок с ECC не производится.

8.2.2 Решение

При загрузке с NAND-флэш коррекция ошибок с ECC не производится, рекомендуется использовать память в которой гарантируется, что первый сектор не содержит ошибок.

9. ОГРАНИЧЕНИЯ GEMAC

9.1 Низкая пропускная способность коммутатора микросхемы при передаче данных от задаточных устройств (Master) на уровне L1_COMM до исполнительных устройств (Slave) на уровне L0_COMM (rf#1392)

Ограничение применимо к микросхемам всех партий.

9.1.1 Описание

Пропускная способность моста между уровнями коммутатора микросхемы L1_COMM и L0_COMM в направлении пересылок от L1_COMM к L0_COMM ограничена в пределах 10 - 40 Мбайт/с. Это может приводить к ограничению скорости передач DMA-устройств на уровне L1_COMM (PDMA, NANDMPORT, USBIC, GEMAC, SDMMC) в DDR-память.

9.1.2 Решение

При работе DMA-устройств на уровне L1_COMM использовать для передачи данных в DDR на кристалльную память RAM в качестве промежуточного буфера. DMA-устройства осуществляют пересылку в RAM, как промежуточный буфер, пересылки из буфера в DDR-память осуществляются с помощью SDMA.

9.2 Отсутствие стандартного тактирующего вывода для режима 1000 Мб/с

Ограничение применимо к микросхемам всех партий.

9.2.1 Описание

Микросхема 1892BM14Я имеет только один тактирующий вход блока GEMAC – GMII_TXCLK. В случае, когда предполагается работать с сетями и на 100 Мбит/с, и на 1000 Мбит/с – необходима внешняя обвязка этого входа, позволяющая переключаться между источниками тактовой частоты.

9.2.2 Решение

Использовать внешний мультиплексор, на вход которого подаются частоты 25 МГц и 125 МГц (для режимов 100 Мбит/с и 1000 Мбит/с соответственно), а выход которого подключен к выводу GMII_TXCLK микросхемы 1892BM14Я.

В качестве источника частоты 125 МГц может использоваться внешний генератор.

Управляющий вход мультиплексора должен управляться выводом GPIO микросхемы 1892BM14Я. Схема подключения представлена на Рисунок 9.1. Процессор 1892BM14Я получает прерывание от микросхемы Ethernet PHY о факте подключения. Далее процессор читает регистры микросхемы Ethernet PHY и определяет максимальную доступную скорость в сети, и в зависимости от этого переключает мультиплексор.

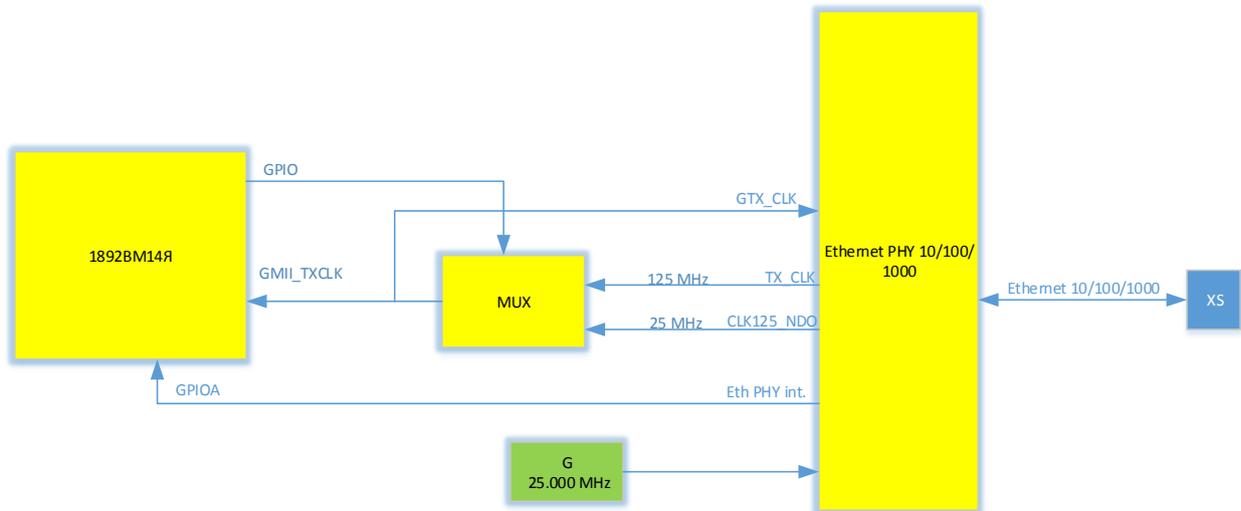


Рисунок 9.1 Схема подключения внешнего мультиплексора

10.ОГРАНИЧЕНИЯ SPI

10.1 Не работает обмен данными по протоколу Texas Instruments SSP

Ограничение применимо к микросхемам всех партий.

10.1.1 Описание

После переключения регистра CTRLR0.FRFR в режим SSP (CTRLR0.FRFR = 01) обмен данными по последовательному интерфейсу становится невозможным.

10.1.2 Решение

Не использовать контроллер SPI в режиме Texas Instruments SSP.

11.СИСТЕМНЫЕ ОГРАНИЧЕНИЯ

11.1 Низкий приоритет обращений CPU к регистрам при передаче данных задаточными устройствами по шине L1 (rf#973)

Ограничение применимо к микросхемам всех партий.

11.1.1 Описание

Обращения CPU к регистрам имеют самый низкий приоритет. При передаче данных через PDMA, SDMMC, GEMAC, NANDMPORT, USBIC может увеличиваться время доступа CPU к регистрам.

11.1.2 Решение

Отсутствует.

11.2 Низкий приоритет VPIN при работе с памятью DDR (rf#1216)

Ограничение применимо к микросхемам всех партий.

11.2.1 Описание

При полной нагрузке на память DDR (например, VPIN+VPOUT+VPU) происходит отеснение потока VPIN, что приводит к потере данных. DDR контроллер отдает приоритет чтением, и пропускает поток от VPOUT, который в вместе с остальными потоками занимает почти весь канал DDR.

11.2.2 Решение

Возможное решение – использовать два порта DDRMC микросхемы 1892BM14Я. В этом варианте используемые данные разносятся между двумя контроллерами памяти DDR.

11.3 Мастера на L2_КОММ не имеют доступа к старшим адресам DDRMC1 [0xF000_0000-0xFFFF_FFFF] (rf#7224)

Ограничение применимо к микросхемам всех партий.

11.3.1 Описание

В соответствии с конфигурацией L2_КОММ все мастера (DMA MFBSP01, DMA SWIC01) не имеют доступа к старшим адресам DDRMC1 [0xF000_0000-0xFFFF_FFFF].

11.3.2 Решение

Не передавать данные из указанных адресов с помощью DMA MFBSP, DMA SWIC.