

МАРШРУТ ПЕРЕПРОЕКТИРОВАНИЯ FPGA В РАДИАЦИОННО-СТОЙКИЕ СБИС ОТЕЧЕСТВЕННОГО ПРОИЗВОДСТВА КОМПАНИИ ОАО НПЦ «ЭЛВИС»

Маршрут перепроектирования компании ОАО НПЦ ЭЛВИС представляет собой перевод проектов FPGA в библиотеку радиационно-стойких элементов СБИС (ASIC). Маршрут опробован на перепроектировании проектов на FPGA типа ACTEL ProASIC в ASIC для производства на российском предприятии ОАО «НИИМЭ и Микрон» по технологии HCMOS8D с топологическими нормами 180 нм.

FPGA типа ACTEL ProASIC распространен в проектах российских фирм, производящих бортовую аппаратуру, и именно в этом типе FPGA недавно была обнаружена аппаратная «закладка»! Маршрут перепроектирования компании ЭЛВИС гарантирует отсутствие возможности переноса подобных закладок в ASIC. В дальнейшем планируется распространить данную технологию перепроектирования на другие семейства FPGA.

Для перевода проектов используются радиационно-стойкие библиотеки стандартных элементов mk180rtsc и периферийных элементов mk180rtio, а также радиационно-стойкая библиотека «HARD» СФ-блоков разработки ОАО НПЦ «ЭЛВИС» ELV_IP_HCMOS8D. В данной библиотеке имеются такие элементы, как PLL с частотой до 600 МГц, блоки памяти ROM, SRAM, LVDS приемники и передатчики. Данные библиотеки позволяют разрабатывать микросхемы с диапазоном рабочих температур от минус 60 до +125 град. С.

Маршрут перепроектирования ОАО НПЦ «ЭЛВИС» позволяет получить из FPGA-проекта полноценный заказной ASIC. Представленный маршрут обладает достаточной гибкостью. Он позволяет не только переводить исходные FPGA-проекты, но и делать комбинированные проекты. Так, возможна вставка проверенного на FPGA IP-ядра в качестве составной части нового проекта на ASIC. Другой вариант – создание заказного ASIC со вставкой покупных или собственной разработки IP-ядер в отлаженный проект FPGA.

Блок-схема маршрута перепроектирования FPGA-ASIC ОАО НПЦ «ЭЛВИС» приведена на рис. 1.

Вместе с самим проектом, временными параметрами и тестовым окружением для функциональной верификации при передаче проекта заказчиком заполняется специальный «сопроводительный лист проекта». Данный документ представляет собой список вопросов об объеме исходного проекта, его содержании, электрофизических параметрах, особенностях. По результатам заполнения заказчиком этого документа делается вывод о возможности перевода проекта на заданную базовую технологию. Возможность перевода зависит от совместимости проекта с параметрами базовой технологии ASIC и возможностями существующих библиотечных элементов.

Особенностью именно российских проектов FPGA является то, что далеко не все фирмы-разработчики используют полноценную функциональную верификацию своих проектов. Зачастую проекты «зашиваются» в FPGA и проверяются только на плате. Для производства специализированной ASIC такой подход неприемлем, поэтому в представленном маршруте проводится обязательная функциональная верификация исходного проекта.

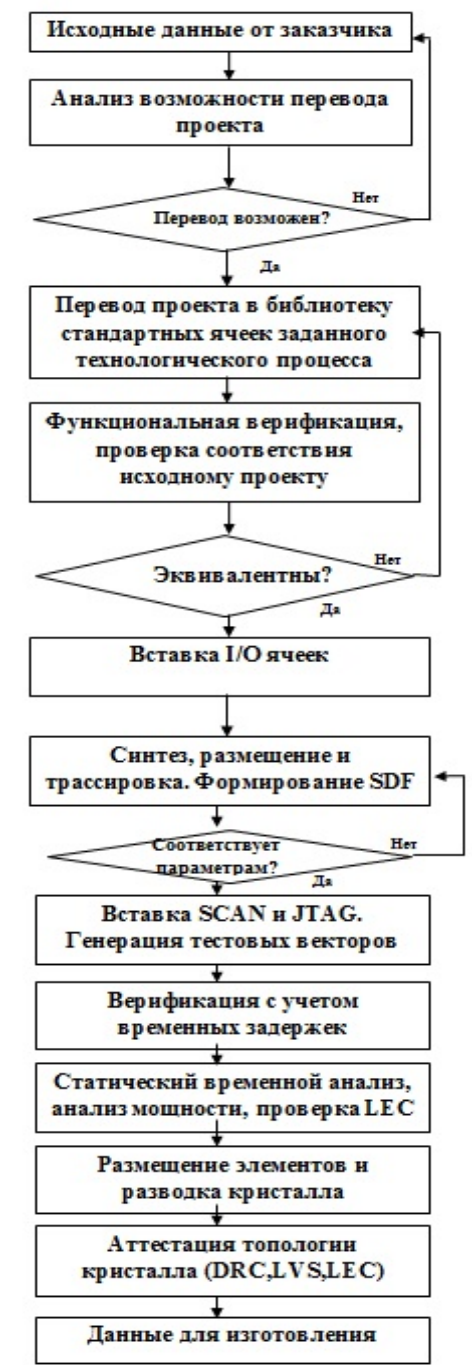


Рисунок 1 Маршрут перепроектирования FPGA-ASIC ОАО НПЦ «ЭЛВИС»

Исходя из особенностей библиотек, сформированы Требования к проектам для перепроектирования, представленные в Приложении 1. В Приложении 2 представлен Сопроводительный лист проекта. В Приложении 3 представлен список необходимых данных для процесса перепроектирования.

Маршрут перепроектирования ОАО НПЦ «ЭЛВИС» включает использование стандартного ряда керамических корпусов: CQFP-112, CQFP-240, CPGA-416, CPGA-621, CPGA-720, а также стандартного ряда размеров кристаллов.

Время перепроектирования FPGA в ASIC с учетом изготовления кристаллов и сборки их в корпус – около 9 месяцев.

Требования к проектам для маршрута перепроектирования

1 Базовый проект

- Исходный проект должен быть выполнен на FPGA ACTEL ProASIC (в перспективе ACTEL ProASIC3).

2 Требования к выводам

- Напряжение питания внешних выводов должно быть 3,3 В.

3 Требования к блокам памяти и FIFO

- Желательно не использовать готовые блоки FIFO, а строить их на блоках памяти.
- Использовать только синхронный режим записи и чтения.
- Использовать одинаковый формат данных для записи и чтения.
- Не использовать начальную инициализацию.
- Не использовать режим «read-before-write» в одном и том же цикле.
- Не использовать данные на выходной шине во время цикла записи.
- Не использовать генерацию бита четности и контроль бита четности.

4 Синхронность проекта

- Предпочтительно использовать синхронные схемы в проекте.
- Не использовать элементы Latch.

5 Использование PLL

- Входная частота для использования в PLL должна быть 5 или 10 МГц.
- Выходная частота – не более 150 МГц.
- Не использовать режим внешней обратной связи для PLL.
- Не использовать фазовые сдвиги частот.
- Не использовать динамическую реконфигурацию PLL.

6 Использование IP-ядер ACTEL

- IP-ядра не использовать.

7 RESET

- Обязательно использовать внешний сигнал RESET для инициализации состояния триггеров после включения питания.

8 Буферы с третьим состоянием

- Не использовать буферы с третьим состоянием для внутренних сигналов.

Сопроводительный лист проекта

1. Контактное лицо, ответственное за сопровождение проекта:
Имя, должность _____
Номер контактного телефона _____
E-mail _____
2. Тип FPGA (например, АРА1000СQ352) _____
3. Процент заполнения кристалла _____
4. Имя проекта (модуля верхнего уровня) _____
5. Язык написания проекта: Verilog _____ VHDL _____
6. Блоки памяти и FIFO, синхронные? (да, нет) _____
7. Используется ли начальная инициализация ОЗУ? (да, нет) _____
8. Типы блоков памяти и FIFO, используемые в проекте _____

9. Используется ли бит контроля четности и генерация четности?

10. Количество функциональных выводов _____
Из них входов _____ выходов _____ двунаправленных _____
11. Есть ли вход RESET (да, нет, название входа) _____
12. Используются ли блоки PLL (да, нет) _____
13. Если используется PLL, то используется ли реконфигурация PLL (да, нет) _____
14. Используемые PLL: входная частота, диапазон выходной частоты, для чего используется.
15. Используются ли АСТЕЛ IP-блоки в проекте (да, нет)? _____
16. Используемые частоты в проекте.

Имя сигнала частоты	Значение частоты, МГц	Описание частоты
		Назначение частоты, источник частоты и т.д.

17. Исходный проект выполнялся на CAD :

Синтез: Synplify v. _____ другое _____

Топология: Actel Designer v. _____ другое _____

18. Тестовое окружение выполнено для CAD:

Mentor Modelsim _____ Cadence NC-Verilog _____

Другое _____

Выполнено на языке VHDL _____ Verilog _____

19. Требуемый температурный диапазон работы: _____

Радиационно-стойкий (да, нет; если да, то указать требования)

20. Дополнительные требования к проекту

21. Полное описание внешних выводов проекта:

- Название вывода;
- Тип вывода: Вход, выход, вход-выход и т.д.;
- Тип вывода: КМОП, LVDS и т.д.;
- Нагрузочная способность выхода (Drive Strength), mA;
- Дополнительные требования к выводу.
- Назначение вывода.

Перечень необходимых исходных данных для маршрута перепроектирования

- Заполненный сопроводительный лист проекта
- RTL-описание проекта на языке VHDL, Verilog или синтезируемом подмножестве языка System Verilog.
- Back-annotated Verilog нетлист программы ACSTEL Designer
- Файл задержек для Back-annotated Verilog нетлиста в формате .sdf
- Тестовое окружение и комплект тестов для функциональной верификации проекта
- Полное техническое описание проекта