

МИКРОСХЕМА ИНТЕГРАЛЬНАЯ 1288ПЛ1У

РУКОВОДСТВО ПОЛЬЗОВАТЕЛЯ

РАЯЖ.431328.005Д17

ОГЛАВЛЕНИЕ

1. НАЗНАЧЕНИЕ	3
2. ОСНОВНЫЕ ОСОБЕННОСТИ И ТЕХНИЧЕСКИЕ ХАРАКТЕРИСТИКИ МИКРОСХЕМЫ	4
2.1 Технические характеристики.....	4
3. ОПИСАНИЕ СХЕМЫ ЭЛЕКТРИЧЕСКОЙ СТРУКТУРНОЙ МИКРОСХЕМЫ	5
4. ФУНКЦИОНАЛЬНОЕ ОПИСАНИЕ МИКРОСХЕМЫ	6
4.1 Схема функциональная микросхемы.....	6
4.2 Приемник сигнала опорной частоты.....	7
4.3 Предделитель.....	8
4.4 Целочисленный делитель.....	8
4.5 Сигма-дельта модулятор и режим дробного частотного синтеза	9
4.6 Частотно-фазовый детектор и генератор тока	11
4.7 Программируемый выход OUT	11
4.8 Последовательный интерфейс управления	12
4.9 Режим «DIRECT».....	20
4.10 Энергосберегающий режим работы микросхемы	21
4.11 Режим «быстрого захвата» фазы	21
5. ВРЕМЕННЫЕ ДИАГРАММЫ ПРИ РАБОТЕ С ПОСЛЕДОВАТЕЛЬНЫМ ПОРТОМ УПРАВЛЕНИЯ.....	22
6. ЭЛЕКТРИЧЕСКИЕ ПАРАМЕТРЫ МИКРОСХЕМЫ ПРИ ПРИЕМКЕ И ПОСТАВКЕ	23
6.1 Предельно – допустимые и предельные режимы эксплуатации микросхемы	24
7. ТИПОВЫЕ ЗАВИСИМОСТИ	25
7.1 Типовые зависимости микросхемы.....	25
8. НУМЕРАЦИЯ, ТИП, ОБОЗНАЧЕНИЕ И НАЗНАЧЕНИЕ ВЫВОДОВ МИКРОСХЕМЫ	29
9. ТИПОВЫЕ СХЕМЫ ВКЛЮЧЕНИЯ МИКРОСХЕМЫ	31
10. ТИП КОРПУСА МИКРОСХЕМЫ	32
11. ПЕРЕЧЕНЬ ПРИНЯТЫХ СОКРАЩЕНИЙ.....	34
12. ИСТОРИЯ ИЗМЕНЕНИЙ.....	35

1. НАЗНАЧЕНИЕ

В настоящем руководстве пользователя приведены основные технические характеристики и условия применения микросхемы интегральной 1288ПЛ1У (далее – микросхема), необходимые для обеспечения правильной эксплуатации микросхемы и полного использования её технических возможностей.

Разрабатываемая микросхема 1288ПЛ1У предназначена для использования в синтезаторах несущих и гетеродинных частот, а также в синтезаторах сигналов приёмно-передающих устройств радиолокационных и связных комплексов в VHF, UHF, L, S диапазонах. Микросхема может быть использована для замены используемых в настоящее время зарубежных схем ФАПЧ (PLL), в частности PE97xx (Peregrine), ADF4108S (Analog Devices).

2. ОСНОВНЫЕ ОСОБЕННОСТИ И ТЕХНИЧЕСКИЕ ХАРАКТЕРИСТИКИ МИКРОСХЕМЫ

2.1 Технические характеристики

Основные технические характеристики микросхемы:

- входная частота до 6,0 ГГц;
- уровень приведенных фазовых шумов минус 220 дБн/Гц, не более;
- максимальная частота сравнения фазового детектора 100 МГц, не менее;
- максимальная потребляемая мощность 350 мВт, не более;
- коэффициенты деления предделителя 4/5, 8/9 и 16/17;
- режимы работы с целочисленным и дробным коэффициентом деления;
- устройство рандомизации помех дробности;
- последовательный порт управления SPI;
- возможность управления коэффициентом деления по параллельной шине;
- корпус МК 5123.28-1 (металлокерамический CLCC-28, 6.5x6.5x1.75 мм).

3. ОПИСАНИЕ СХЕМЫ ЭЛЕКТРИЧЕСКОЙ СТРУКТУРНОЙ МИКРОСХЕМЫ

3.1 Схема электрическая структурная микросхемы

Схема электрическая структурная микросхемы (см. РАЯЖ.431328.005Э1).

4. ФУНКЦИОНАЛЬНОЕ ОПИСАНИЕ МИКРОСХЕМЫ

4.1 Схема функциональная микросхемы

Схема функциональная интегральной микросхемы 1288ПЛ1У приведена на рисунке 4.1.

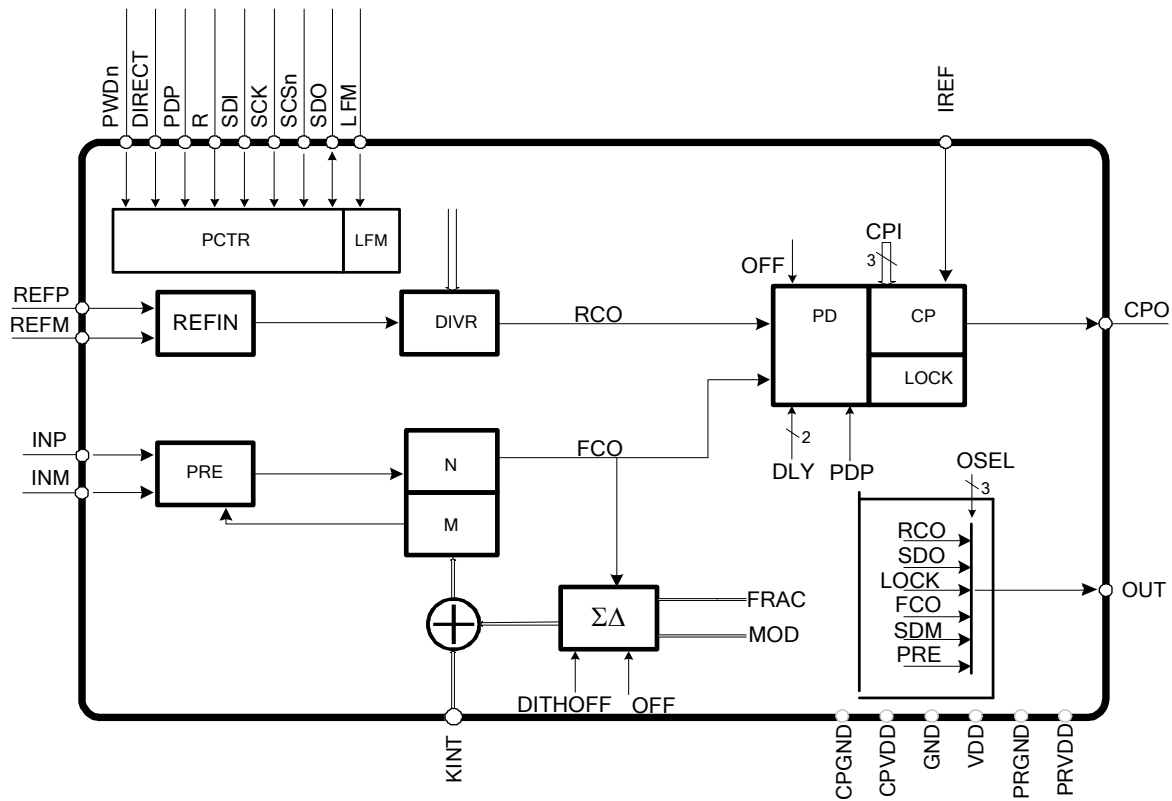


Рисунок 4.1

Микросхема 1288ПЛ1У (далее – СБИС) содержит целочисленный делитель входной тактовой частоты, построенный на основе предделителя PRE и счетчика DIVNM, сигма-дельта модулятор SDM для формирования дробных коэффициентов деления, 14-бит делитель опорной тактовой частоты DIVR, частотно-фазовый детектор с генератором тока PDCP для управления внешним генератором, управляемым напряжением (ГУН), и схему управления PCTR.

Микросхема может работать в режимах целочисленного (SDM выключен), дробного (SDM включен) частотного синтеза, режиме синтеза сигналов с линейной частотной модуляцией (ЛЧМ). Связь между входной и опорной частотой определяется следующим соотношением

$$F_{IN} = F_{REF} * (INT+FRAC/MOD) / R, \quad (1)$$

где F_{IN} – выходная частота ГУН (на входе INP/INM);

F_{REF} – частота опорного сигнала (на входе REF);

INT – 17-бит целая часть коэффициента деления входной частоты;

FRAC – 16-бит числитель дробной части коэффициента деления входной частоты («0», если SDM выключен);

MOD – 16-бит знаменатель дробной части коэффициента деления входной частоты;

R – 14-бит коэффициент деления опорной частоты;

* - знак умножения.

Установка параметров и управление СБИС осуществляется с помощью SPI-совместимого последовательного интерфейса. Кроме этого, предусмотрена возможность управления целочисленным коэффициентом деления по параллельной шине и режим работы СБИС с непосредственным управлением (режим «DIRECT»).

4.2 Приемник сигнала опорной частоты

Дифференциальный приемник сигнала опорной частоты (REF) обеспечивает прием сигнала синусоидальной либо прямоугольной формы. Дифференциальные входы приемника (REFP/REFM) совместимы с LVDS уровнями. На рисунке 4.2 показана упрощенная эквивалентная схема приемника сигнала опорной частоты, соответствующая нормальному режиму функционирования СБИС.

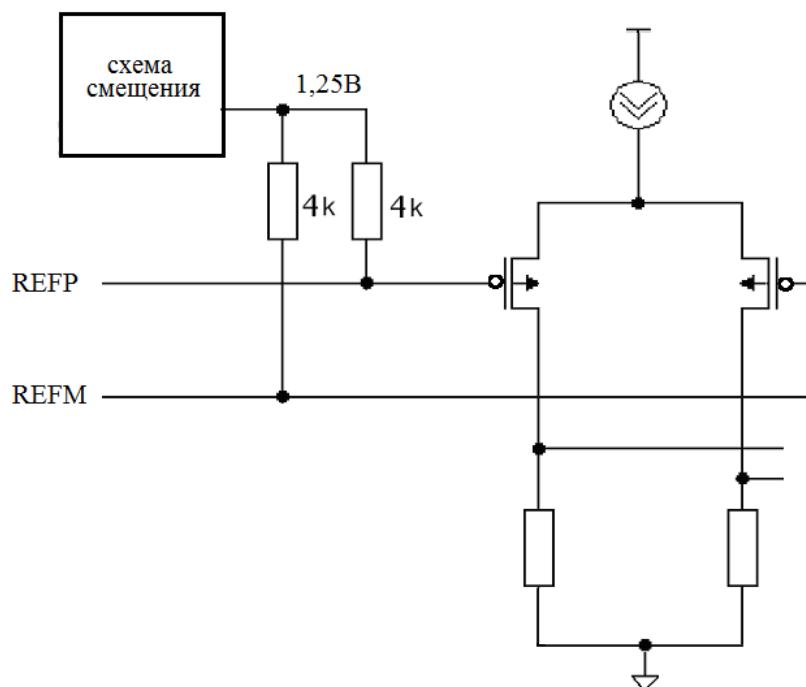


Рисунок 4.2. Эквивалентная схема входа приемника опорной частоты

4.3 Предделитель

Схема высокочастотного предделителя (PRE) состоит из приемника сигнала тактовой частоты и логической части. Эквивалентная схема входов INP/INM предделителя показана на рисунке 4.3. В схеме предделителя предусмотрено внутреннее смещение, равное 1,4 В.

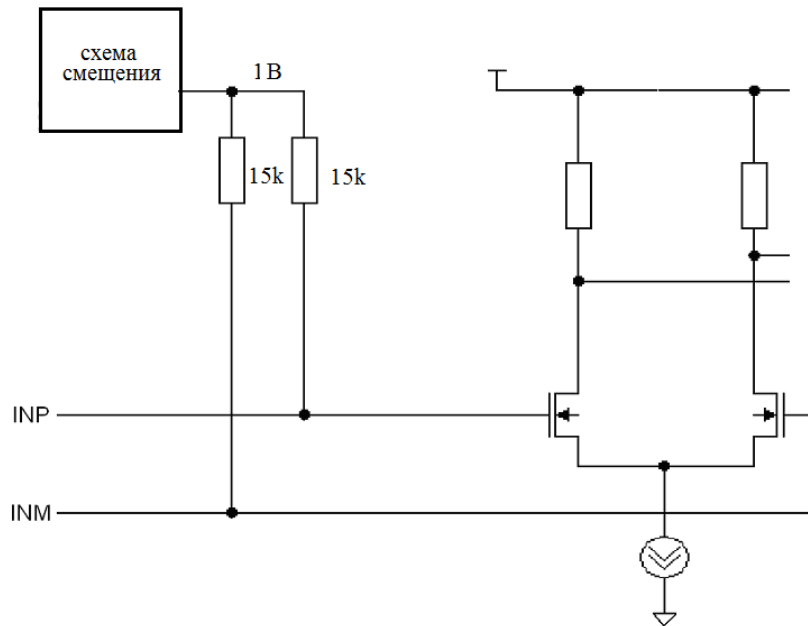


Рисунок 4.3

Возможные коэффициенты деления ($P/P + 1$) предделителя: 4/5, 8/9, 16/17. Минимальный коэффициент деления целочисленного делителя, работающего в сочетании с предделителем, ограничен снизу. Он определяется следующим образом: $P_{min} = P^2 - P$.

4.4 Целочисленный делитель

Схема структурная целочисленного делителя приведена на рисунке 4.4.

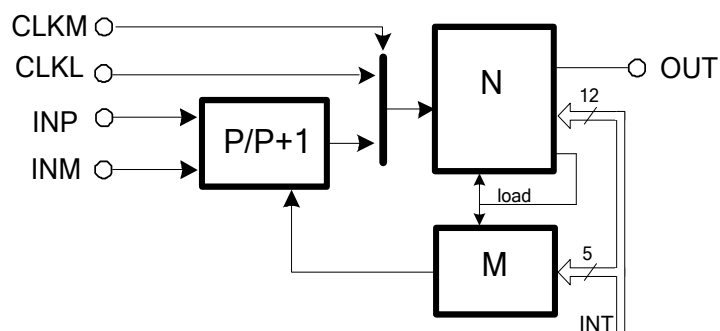


Рисунок 4.4

Целочисленный делитель входной тактовой частоты построен на основе высокочастотного предделителя PRE и относительно низкочастотного делителя DIVNM, который управляет коэффициентом деления предделителя: $P/P + 1$. Базовый коэффициент деления предделителя P задается параметром PRE[1:0] и должен выбираться так, чтобы обеспечить работу делителя DIVNM на частоте не более 500 МГц. Общий коэффициент целочисленного деления задается 17-бит параметром INT[16:0]. Коэффициент деления предделителя PRE непосредственно не влияет на общий коэффициент деления INT, но определяет возможный диапазон его установки (таблица 4.1).

Диапазоны установки целочисленного коэффициента деления приведен в таблице 4.1.

Таблица 4.1

PRE	P/P + 1	F _{in} MAX	INT
0	4/5	1,8 ГГц	от 12 до 16383
1	8/9	3,6 ГГц	от 56 до 32767
2	16/17	6 ГГц	от 240 до 65535

Параметры PRE и INT могут быть установлены через последовательный порт или напрямую с помощью входов SDI, SCK и SDO, SCSn, OUT, LFM, KINT[4:0].

В случае, если в режиме DIRECT по какой-то причине было установлено недопустимое значение коэффициента INT, для дальнейшей нормальной работы микросхемы, после установления допустимого значения коэффициента INT, необходима подача импульса активного (низкого) уровня на вход **PWDn** микросхемы длительностью не менее двух тактов опорной частоты.

4.5 Сигма-дельта модулятор и режим дробного частотного синтеза

Цифровой сигма-дельта модулятор (рисунок 4.5) тактируется сигналом FCO и формирует дробную часть коэффициента деления тактовой частоты. Для этого на входы аккумуляторов подаются значения FRAC и MOD с разрядностью до 16 бит. С выхода SDMO информация на каждом такте FCO суммируется с целочисленным коэффициентом INT, результат суммирования загружается в целочисленный делитель DIVNM.

В результате усредненный коэффициент деления получается равным $INT + FRAC/MOD$. Для правильной работы сигма-дельта модулятора необходимо, чтобы значение поля FRAC было меньше значения поля MOD.

Схема структурная сигма - дельта модулятора микросхемы приведена на рисунке 4.5.

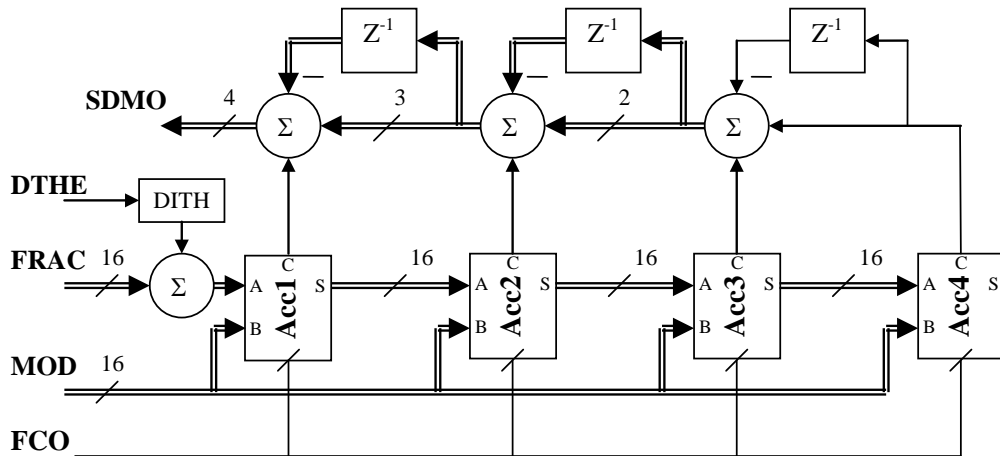


Рисунок 4.5

В схему сигма дельта модулятора включено устройство рандомизации помех дробности (DITH) для устранения дискретных составляющих из спектра синтезируемого сигнала. Длительность периода повторения шумовой последовательности равна 2^{24} такта сигнала «FCO». Цифровой сигма-дельта модулятор обладает возможностями программирования следующих свойств:

- значений входов FRAC и MOD до 2^{16} ;
- разрядности аккумуляторов (определяется коэффициентом MOD);
- порядка сигма-дельта модулятора;
- включения/отключения устройства рандомизации помех дробности.

С увеличением порядка сигма-дельта модулятора на один порядок, наклон спектра его выходной последовательности увеличивается на 20 дБ/декаду.

Условием корректной работы в дробном режиме является выполнение неравенств: $F_{\text{РFD}} > 5 / (K_{\text{INT}} * T_{\text{РMT}})$ и $F_{\text{РFD}} > 10 * W_{\text{ФАПЧ}}$, где $T_{\text{РMT}}$ - погрешность совпадения фазы, (устанавливается полем управления РМТ, см. Табл. 4.2), $W_{\text{ФАПЧ}}$ - полоса пропускания ФАПЧ.

4.6 Частотно-фазовый детектор и генератор тока

На рисунке 4.6 представлена упрощенная схема частотно-фазового детектора и генератора тока.

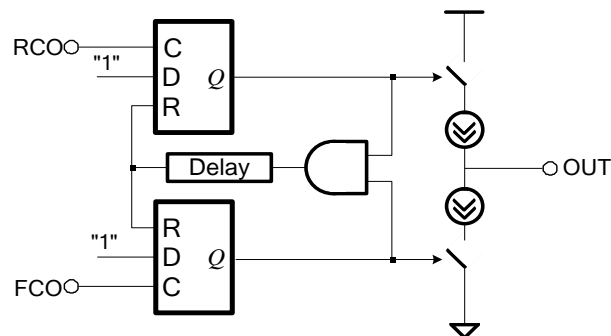


Рисунок 4.6

Частотно-фазовый детектор и генератор тока принимает сигналы с выходов делителей опорной и входной частоты и формирует на выходе импульс тока, длительность которого пропорциональна разности фаз входных сигналов. Плавная регулировка выходного тока генератора возможна за счет подбора опорного резистора (Rset), включаемого между выводами IREF и CPGND. Дискретная регулировка выходного тока генератора возможна за счет программирования кодов управления (CPI1 или CPI2) тока генератора. Выходной ток генератора рассчитывается по формуле

$$I_{CP}[\text{mA}] = 2 (CPI + 1) / R_{set}[\text{kOhm}], \quad (2)$$

Поля управляющих кодов генератора тока CPI1 и CPI2, а также поля FL, LM и CNT позволяют реализовать режимы быстрого захвата частоты. С помощью поля DLY может быть задана длительность задержки сигнала окончания цикла фазового детектора для компенсации «мертвой зоны» детектора. С помощью поля PDP можно установить полярность частотно-фазового детектора для использования ГУН как с положительным, так и отрицательным наклоном вольт-частотной характеристики.

4.7 Программируемый выход OUT

Выход микросхемы OUT является программируемым. С помощью мультиплексора на выходе можно наблюдать сигнал одной из внутренних цепей микросхемы:

- выход сдвигового регистра последовательного интерфейса;
- выход делителя частоты в обратной связи;
- выход предделителя;
- выход делителя опорной частоты;
- выход формирователя признака захвата фазы.

Мультиплексор управляется битами от девяти до 11 команды «Ctrl» (таблицы 4.2 – 4.3).

4.8 Последовательный интерфейс управления

Схема функциональная блока SPI приведена на рисунке 4.7.

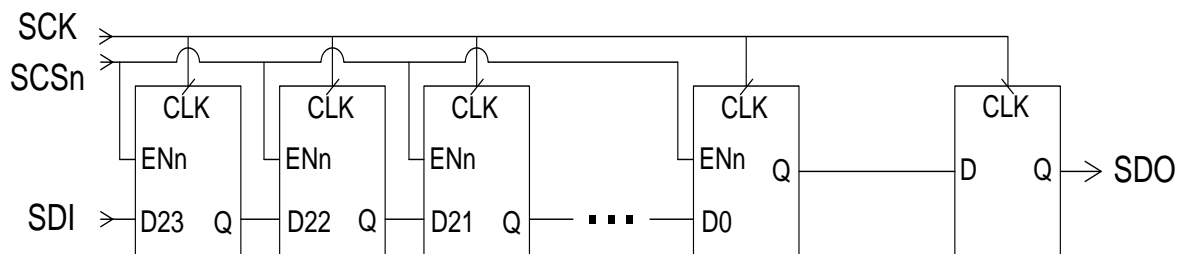


Рисунок 4.7

Для управления микросхемы используется последовательный

SPI-совместимый порт. Сигналы «SDI», «SDO», «SCK» и «SCSn» используются для загрузки кодов управления в 24-бит внутренний последовательный регистр. Первые три бита информации определяют код команды, остальные разряды, поступившие в сдвиговый регистр, являются параметрами команды.

Входные данные «SDI» считываются по переднему фронту «SCK». Выходные данные «SDO» изменяются по заднему фронту «SCK». Запись во внутренние регистры осуществляется по фронту сигнала «SCSn».

В процессе подачи команды, в выходном порту SDO наблюдается предыдущая команда. В процессе выполнения команды «Read» (таблица 4.2) значение в сдвиговом регистре заменяется результатом выполняемой команды.

Схема последовательная и параллельная соединений нескольких устройств по SPI совместимому интерфейсу приведены на рисунке 4.8.

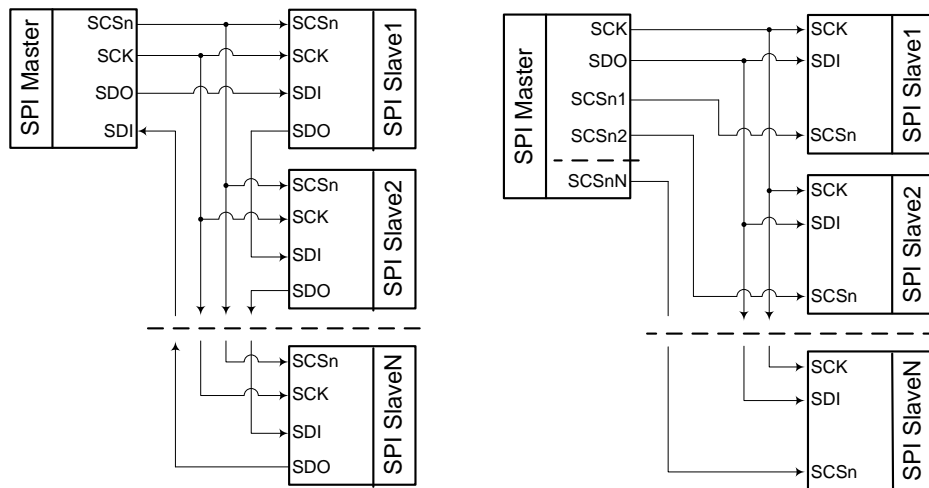


Рисунок 4.8

Прием и передача информации по SPI-совместимому интерфейсу приведены на рисунке 4.9.

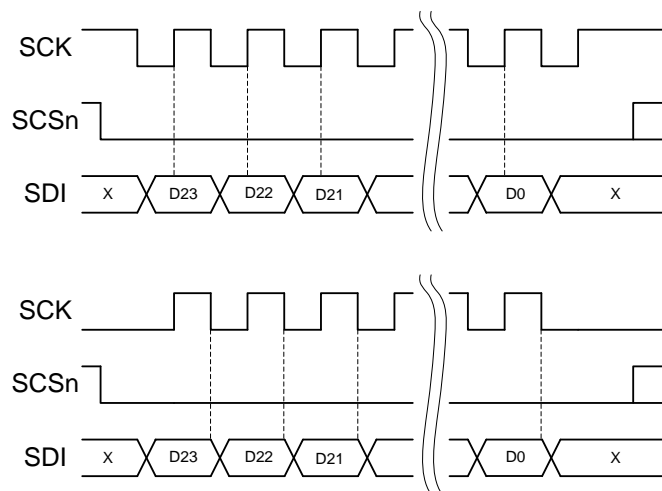


Рисунок 4.9

Форматы кодов управления приведены в таблице 4.2.

Таблица 4.2

Номер бита команды управления																				Имя команды						
23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4		3	2	1	0		
Код команды				Поля управления																						
0	0	0	0	res	res	res	res	res	res	R[13:0]													Ref			
0	0	1	0	res	res	res	INT[16:0]															Int				
0	1	0	0	res	res	res	res	FRAC[15:0]															Frac			
0	1	1	0	res	res	res	res	MOD[15:0]															Mod			
1	0	0	0	D T H E	SDM		FO	P R E T M	A U X 4 5	res	res	OSEL[2:0]		DLY	P D P	res	PRE[1:0]		OFF	R S T	Ctrl					
1	0	1	0	res	res	res	res	CNT[7:0]							LM	CPI2		CPI1		Ctrl2						
1	1	0	0	TST			res	res	res	res	res	res	res	PMCNT[7:0]					PMT	Ctrl3						
0	0	0	1	D F R A C I 19 0																Lfm1						
0	0	1	1	SAWSTEP[11:0]										FRACINC[7:0]					Lfm2							
0	1	0	1	res	NEXT2[4:0]				NEXT1[4:0]				res	res	res	res	S	P	S E T F R Q	F M P	res	Lfm3				
0	1	1	1	res	PRW[4:0]				res	res	res	res	res	res	res	res	res	res	res	res	res	res	res	res	L F M S T	Prw
1	0	0	1	res	PRA[4:0]				res	res	res	res	res	res	res	res	res	res	P R O F E N	OFF	R S T	Pra				
1	1	1	0	res	res	res	res	res	res	res	res	res	res	res	res	res	res	CMD[3:0]			Read					

Значения полей управления приведены в таблице 4.3.

Таблица 4.3

Поле управления	Значения управляющих полей при установке вывода DIRECT в значение логической единицы	Значение поля после подачи сигнала PWDN=1	Описание
R[13:0]	Со входов микросхемы R[1:0] задается коэффициент деления опорной частоты в виде: $2^{R[1:0]}$	1	Коэффициент деления опорной частоты (DIVR)
INT[16:0]	Со входов микросхемы SDO, SCSn, OUT, LFM, KINT[4:0] задаются девять младших разрядов INT	12	Коэффициент деления входной частоты целочисленного делителя (PRE/DIVNM). Если данное поле установлено в «0», то коэффициент деления определяется входами KINT
FRAC[15:0]	Не используется	0	Числитель дробной части коэффициента деления
MOD[15:0]	Не используется	0	Знаменатель (модуль) дробной части коэффициента деления
RST	«0»	0	«1» - сброс внутренних счетчиков и схемы управления. Не влияет на значения полей управления
OFF[1:0]	«0»	0	Выключение устройства: «0» - нормальная работа; «1» - асинхронно переводит выход СРО в третье состояние; «2» - асинхронно переводит устройство в режим пониженного энергопотребления. Выход СРО устанавливается в третье состояние; «3» - синхронно переводит устройство в режим пониженного энергопотребления. Выход СРО устанавливается в третье состояние. В режиме пониженного потребления все внутренние счетчики устанавливаются в начальное состояние.

Продолжение таблицы 4.3

Поле управления	Значение управляющих полей при установке вывода DIRECT в значение логической единицы	Значение поля после подачи сигнала PWDN=1	Описание
PRE[1:0]	Со входов микросхемы [SDI, SCK]	0	Код управления коэффициентов деления предделителя: «0» - 4/5 (для частот до 1,8 ГГц); «1» - 8/9 (для частот до 3,6 ГГц); «2» - 16/17 (для частот до 6,0 ГГц); «3» - режим работы с входным импедансом предделителя ~ 100 Ом Для случая, когда входная частота больше 1.2ГГц или требуется изменить поле PRE см. таблицу 4.4
PDP	Со входа микросхемы PDP	0	Полярность частотно-фазового детектора (PDP = 0 – для ГУН с положительным наклоном вольт-частотной характеристики, PDP = 1 – для ГУН с отрицательным наклоном вольт-частотной характеристики)
DLY[1:0]	«0»	0	Задержка импульса сброса триггеров частотно-фазового детектора: «0» - ~ 1 нс; «1» - ~ 2 нс; «2» - ~ 3 нс; «3» - ~ 4 нс
OSEL[2:0]	«3»	3	Управление выводом OUT: «0» - SDO – выход SDO последовательного интерфейса; «1» - FCO – выход целочисленного делителя DIVNM; «2» - RCO – выход делителя опорной частоты DIVR; «3» - LOCK – признак захвата фазы; «4» - REFIN; «5» - PRE – выход предделителя; «6» - «0»; «7» - третье состояние
PRETM	«0»	0	«0» - работа в нормальном режиме; «1» - Вспомогательный режим работы предделителя
FO	«0»	0	«1» - режим работы сигма-дельта модулятора первого и пятого порядка

Примечание. Признак захвата фазы «LOCK» не сбрасывается при отключении опорной частоты.

Продолжение таблицы 4.3

Поле управления	Значение управляющих полей при установке вывода DIRECT в значение логической единицы	Значение поля после подачи сигнала PWDN=1	Описание
SDM[1:0]	«0»	0	Режим работы сигма-дельта модулятора: «0» - выключен (FO = 0); «0» - SDM первого порядка (FO = 1); «1» - SDM второго порядка (FO = 0); «2» - SDM третьего порядка (FO = 0); «3» - SDM четвертого порядка (FO = 0); «3» - SDM пятого порядка (FO = 1)
DTNE	«0»	0	«1» - включение схемы рандомизации помех дробности
CPI1[2:0]	«7»	7	Код управления током генератора тока «1»: «000» - $I_{CPO} = 0,625 \text{ mA}$ ($R_{set} = 3,2 \text{ кОм}$); «001» - $I_{CPO} = 1,25 \text{ mA}$ ($R_{set} = 3,2 \text{ кОм}$); «010» - $I_{CPO} = 1,875 \text{ mA}$ ($R_{set} = 3,2 \text{ кОм}$); «011» - $I_{CPO} = 2,5 \text{ mA}$ ($R_{set} = 3,2 \text{ кОм}$); «100» - $I_{CPO} = 3,125 \text{ mA}$ ($R_{set} = 3,2 \text{ кОм}$); «101» - $I_{CPO} = 3,75 \text{ mA}$ ($R_{set} = 3,2 \text{ кОм}$); «110» - $I_{CPO} = 4,375 \text{ mA}$ ($R_{set} = 3,2 \text{ кОм}$); «111» - $I_{CPO} = 5 \text{ mA}$ ($R_{set} = 3,2 \text{ кОм}$)
CPI2[2:0]	Не используется	7	Код управления током генератора тока «2». Используется в режиме «быстрого захвата» фазы
LM[1:0]	«0»	0	Режим переключения токов генератора тока (работает если OSEL не равен семи): «0» - применяется CPI1; «1» - применяется CPI2; «2» - применяется CPI2, а через $\sim 4 * CNT$ такта применяется CPI1 (значение регистра LM сбрасывается в «0»); «3» - применяется CPI2, а через $\sim 4 * CNT$ такта после захвата фазы применяется CPI1 (значение регистра LM сбрасывается в «0»)
CNT[7:0]	«0»	0	Задержка переключения генераторов тока (см. поле LM)

Поле управления	Значение управляющих полей при установке вывода DIRECT в значение логической единицы	Значение поля после подачи сигнала PWDN=1	Описание
PMT[1:0]	«1»	1	Погрешность совпадения фазы для формирования признака захвата фазы: «0» - 1 нс; «1» - 5 нс; «2» - 15 нс; «3» - 25 нс
PMCNT[7:0]	«5»	5	Счетчик совпадений фазы для формирования признака захвата фазы. Признак захвата фазы формируется, если произошло PMCNT совпадений фазы подряд
TST[2:0]	«0»	0	Режим тестирования. Для нормальной работы должен быть установлен в «0»
DFRAC[19:0]	«0»	0	Приращение частоты ЛЧМ. Приращение частоты рассчитывается как $(1/16) * DFRAC[19:0] * F_{PFD} / MOD$
FRACINC[7:0]	«0»	0	Приращение развертки (в периодах сигнала «RCO»). Временной интервал между каждым приращением частоты рассчитывается как $FRACINC[7:0] / F_{PFD}$
SAWSTEP[11:0]	«0»	0	Количество приращений DFRAC
LFMST	«0»	0	«0» - синтез ЛЧМ сигнала начинается с момента активации профиля; «1» - синтез ЛЧМ сигнала начинается с момента прихода положительного запускающего импульса на вход LFM микросхемы. При этом используется профиль, записанный в поле NEXT2
FMP	«0»	0	Полярность ЛЧМ: «0» - инкрементирование частоты ЛЧМ; «1» - декрементирование частоты ЛЧМ
SETRQ	«0»	0	«1» - возврат к начальному значению частоты по окончании цикла ЛЧМ (переполнению счетчика SAWSTEP); «0» - сохранение текущего значения частоты по окончании цикла ЛЧМ (переполнению счетчика SAWSTEP)
P	«0»	0	Служебный бит. «0» - нормальный режим работы; «1» - происходит декрементирование счетчика SAWSTEP. При обнулении счетчика SAWSTEP, следующий выполняемый профиль – NEXT2, а значению SAWSTEP присваивается FRAC (SAWSTEP = FRAC[11:0])

Продолжение таблицы 4.3

Поле управления	Значение управляющих полей при установке вывода DIRECT в значение логической единицы	Значение поля после подачи сигнала PWDN=1	Описание
S	«0»	0	Служебный бит: «0» - нормальный режим работы; «1» - в профиль NEXT2 записывается SAWSTEP из активного профиля, активным становится профиль NEXT1
NEXT1[4:0]	«0»	0	Номер следующего выполняемого профиля. Используется только в режиме «ЛЧМ». Переход к профилю NEXT1 выполняется по переполнению счетчика SAWSTEP
NEXT2[4:0]	«0»	0	Номер следующего выполняемого профиля (см. описание служебного бита P). Используется только в режиме «ЛЧМ»
PRW[4:0]	«0»	0	Номер записываемого профиля частотного синтеза
PROFEN	«0»	0	«0» - запрет выбора профиля частотного синтеза с помощью выводов микросхемы KINT[4:0]; «1» - разрешение выбора профиля частотного синтеза с помощью выводов микросхемы KINT[4:0]. В этом случае автоматическая смена профилей по NEXT1 и NEXT2 не работает
PRA[4:0]	«0»	0	Номер используемого профиля частотного синтеза
CMD[3:0]	«0»	0	При каждом прописывании этого регистра, следующая «SPI» команда возвращает команду (на выход SDO), код которой содержится в поле CMD. Команда считывается из записываемого профиля PRW
AUX45	«0»	0	Вспомогательный бит управления режимом работы предделителя Рекомендуется устанавливать «1» в режиме деления 4/5, а также в случаях нарушения работы предделителя
Res	Не используется	Не используется	Зарезервировано. Должны быть установлены в «0»

Микросхема содержит 32 профиля значений управляющих полей. Пример программирования микросхемы приведен в таблице 4.4.

Таблица 4.4. Пример работы с изменением значения поля PRE

Имя команды		Записываемые регистры	Действия микросхемы
«Int»		INT = 10000	Прописываем целочисленный коэффициент деления в нужное значение (не обязательно 10000)
«Ctrl»		PRE = 2	Нулевой профиль становится активным. Микросхема будет выполнять команды, которые содержатся в нулевом профиле
«Ctrl»	Необходимо повторить эту	PRE = 2 OFF = 2 RST = 1	Микросхема работает с коэффициентом деления входной частоты, равным 250
«Ctrl»	последовательность из двух команд «Ctrl» 11 раз	PRE = 2 OFF = 0 RST = 0	Микросхема направляет подаваемые команды в первый профиль

Таблица 4.5. Пример работы с профилями частотного синтеза

Имя команды		Записываемые регистры	Действия микросхемы
«Prw»		PRW = 0	Микросхема направляет подаваемые команды в нулевой профиль
«Pra»		PRA = 0	Нулевой профиль становится активным. Микросхема будет выполнять команды, которые содержатся в нулевом профиле
«Int»		INT = 250	Микросхема работает с коэффициентом деления входной частоты, равным 250
«Prw»		PRW = 1	микросхема направляет подаваемые команды в первый профиль
«Int»		INT = 300	В первый профиль записывается значение регистра INT = 300
«Pra»		PRA = 1	Первый профиль становится активным. Микросхема работает с коэффициентом деления входной частоты, равным 300

4.9 Режим «DIRECT»

При использовании СБИС ФАПЧ в схеме без микроконтроллера, управление СБИС может осуществляться в режиме «DIRECT» без использования SPI-совместимого интерфейса. Переход в режим задается установкой сигнала «DIRECT» в состояние логической единицы.

В режиме «DIRECT» возможно только целочисленное деление частоты ГУН (SDM выключен) без использования режима «быстрого захвата» фазы. Параметры R, PRE, INT управляются напрямую через внешние выводы следующим образом:

$$R = 2^{R[1:0]};$$

$$PRE = \{SDI, SCK\};$$

$$INT = \{SDO, SCSn, OUT, LFM, KINT[4:0]\}.FIN = FREF \quad FIN = FREF.$$

Остальные внутренние параметры (DLY[1:0], CPI1, PDP и т.п.) устанавливаются по умолчанию в соответствии с таблицей 4.4.

4.10 Энергосберегающий режим работы микросхемы

В энергосберегающем режиме микросхема потребляет меньше энергии за счет отключения всех блоков, либо частичного отключения отдельных блоков микросхемы. Количество отключаемых блоков зависит от напряжения на выводе PWDn, а также от состояния управляющих регистров RST, OFF (таблица 4.6). Режимы пониженного энергопотребления приведены в таблице 4.6.

Таблица 4.6

Условие	Описание
PWDn = 0 В	От шин питания отключаются все аналоговые блоки. Цифровая последовательностная логика переводится в состояние сброса. Все цифровые выходы микросхемы переводятся в третье состояние
PWDn = U _{CCD} RST = 1	От шин питания отключаются все аналоговые блоки. Цифровая последовательностная логика переводится в состояние сброса. Все цифровые выходы микросхемы переводятся в третье состояние. Программируемые регистры управления сохраняют свое значение до и после программного сброса
PWDn = U _{CCD} OFF = 2 или OFF = 3	
PWDn = U _{CCD} OFF = 1	Отключается только блок PDCP, все другие блоки микросхемы работают в нормальном режиме. Выход CPO переводится в третье состояние

4.11 Режим «быстрого захвата» фазы

Режим «быстрого захвата» фазы применяется для быстрой перестройки синтезатора частот с одной частоты на другую. В основе режима «быстрого захвата» фазы лежит временное увеличение выходного тока на выходе CPO блока PDCP.

Перевод микросхемы в режим «быстрого захвата» фазы осуществляется программированием регистра LM в «2» или «3». Сразу после этого в качестве управляющего кода выходного тока для работающего блока PDCP используется программируемый регистр CPI2. Продолжительность пребывания управляющего регистра CPI2 в качестве управляющего кода током на выходе CPO работающего блока PDCP зависит от состояния управляющего регистра LM. Как только будет выполнено условие, записанное в регистре LM (LM = 2 или LM = 3), значение регистра LM сбросится в «0» (регистр CPI1 задает ток PDCP).

5. ВРЕМЕННЫЕ ДИАГРАММЫ ПРИ РАБОТЕ С ПОСЛЕДОВАТЕЛЬНЫМ ПОРТОМ УПРАВЛЕНИЯ

Временная диаграмма подачи сигналов «SDI» относительно тактового сигнала «SCK» приведена на рисунке 5.1.

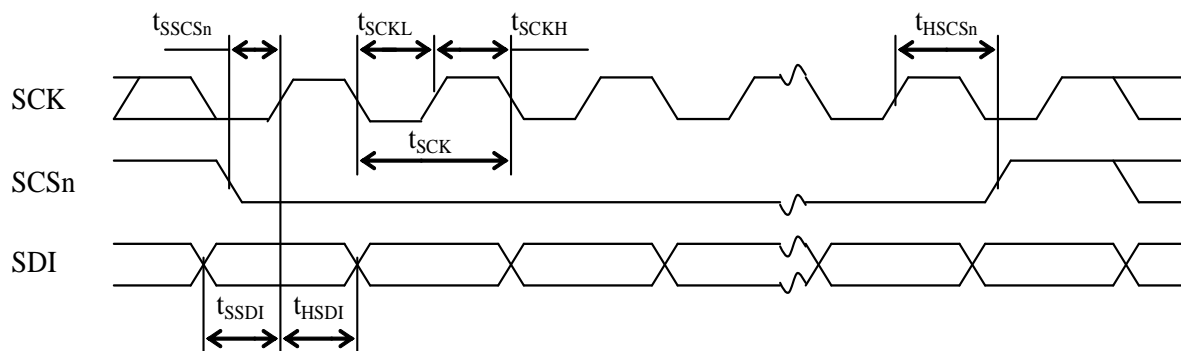


Рисунок 5.1

6. ЭЛЕКТРИЧЕСКИЕ ПАРАМЕТРЫ МИКРОСХЕМЫ ПРИ ПРИЕМКЕ И ПОСТАВКЕ

Электрические параметры микросхемы при приемке и поставке ($T = \text{минус } 60 \text{ до плюс } 85^\circ\text{C}$) приведены в таблице 6.1.

Таблица 6.1

Параметр	Обозначение	Комментарий	не менее	норма	не более	Размерность
Напряжения питания: - токовый ключ (генератор тока); - предделитель; - цифровое	$U_{\text{ССК}}$		3,13	3,3	3,47	В
	$U_{\text{ССА}}$	-	3,13	3,3	3,47	В
	$U_{\text{ССД}}$		3,13	3,3	3,47	В
Выходное напряжение цифрового сигнала низкого уровня	U_{OL}	$I_{\text{OL}}=4,0\text{мА}$			0,4	В
Выходное напряжение цифрового сигнала высокого уровня	U_{OH}	$I_{\text{OH}}=-2,8\text{мА}$	2,4			В
Ток утечки низкого уровня на цифровом входе	I_{ILL}				10	мкА
Ток утечки высокого уровня на цифровом входе	I_{ILH}				10	мкА
Выходной ток токового ключа ¹ - нижнее значение - верхнее значение	I_{CP}		0,095 7,6		0,105 8,4	мА
Уровень приведённых фазовых шумов ²	L_{NORM}				-220	дБн/Гц
Диапазон частот входного сигнала: - нижнее значение - верхнее значение	F_{IN}		6,0		0,1	Гц
Уровень входного сигнала: - нижнее значение - верхнее значение	P_{IN}		-15		0	дБм
Опорная частота: - нижнее значение - верхнее значение	F_{REF}		250		10	МГц
Максимальная частота сравнения	F_{COMP}		100			МГц
Динамический ток потребления	I_{OCC}				100	мА
Ёмкость входа	C_{I}				15	пФ
Ёмкость входа/выхода	C_{IO}				15	пФ

Примечания

1. Ток токового ключа зависит от сопротивления R_{set} и кода тока CPI следующим образом: $I_{\text{CP}} = 2 (1 + \text{CPI}) / R_{\text{set}}$.
2. Уровень приведённых фазовых шумов фазовой автоподстройки частоты (ФАПЧ) рассчитывается по формуле

$$L_{\text{NORM}} = L - 20 \log(N) - 10 \log(F_{\text{PFD}}/1\text{Гц}), \quad (3)$$

где L – измеренный уровень внутриспетлевых фазовых шумов ФАПЧ в полосе 1 Гц,

N – коэффициент деления входного сигнала, F_{PFD} – частота сравнения. Измерения проводятся в нормальных климатических условиях ($T = 25 \pm 10^\circ\text{C}$).

6.1 Предельно – допустимые и предельные режимы эксплуатации микросхемы

Предельно – допустимые и предельные режимы эксплуатации микросхемы приведены в таблице 6.2.

Таблица 6.2

Наименование параметра режима, единица измерения	Буквенное обозначение параметра	Предельно-допустимый режим		Предельный режим	
		не менее	не более	не менее	не более
Напряжение питания пределителя, В	$U_{\text{ССА}}$	3,13	3,47	-0,2	3,6
Напряжение питания цифровое, В	$U_{\text{ССD}}$	3,13	3,47	-0,2	3,6
Напряжение питания токового ключа, В	$U_{\text{ССК}}$	3,13	3,47	-0,2	3,6
Входное напряжение цифрового сигнала низкого уровня, В	$U_{\text{ИЛ}}$	-0,2	0,4	-0,3	$U_{\text{ССD}} + 0,3$
Входное напряжение цифрового сигнала высокого уровня, В	$U_{\text{ИН}}$	2,4	$U_{\text{ССD}} + 0,2$	-0,3	$U_{\text{ССD}} + 0,3$
Выходной ток низкого уровня, мА	$I_{\text{ОЛ}}$	-1,0	4	-2,0	6,0
Выходной ток высокого уровня, мА	$I_{\text{ОН}}$	-2,8	1,0	-3,5	2,0
Напряжение на цифровом выходе в состоянии «Выключено», В	$U_{\text{ОZ}}$	-0,2	$U_{\text{ССD}} + 0,2$	-0,3	$U_{\text{ССD}} + 0,3$
Напряжение на выходе СРО, В	$U_{\text{СРО}}$	0,7	$U_{\text{ССК}} - 0,7$	-0,3	$U_{\text{ССК}} + 0,3$
Тактовая частота последовательного интерфейса, МГц	F_{SPI}	–	50	–	100
Время нарастания и спада цифрового сигнала, нс	t_r, t_f	–	3	–	500
Ёмкость нагрузки цифрового выхода, пФ	C_L	–	20	–	40

7. ТИПОВЫЕ ЗАВИСИМОСТИ

7.1 Типовые зависимости микросхемы

Типовые зависимости зарегистрированы при испытаниях опытных образцов микросхемы в нормальных климатических условиях ($T = 25 \pm 10^\circ\text{C}$).

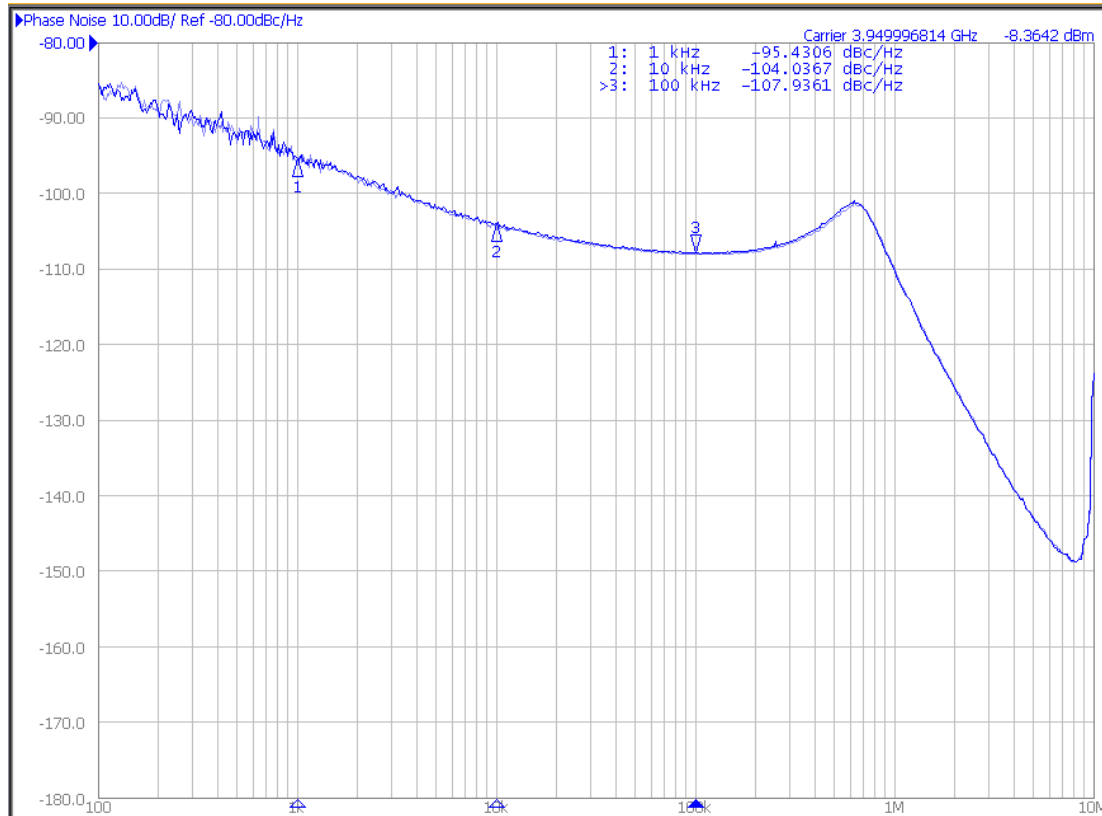


Рисунок 7.1. Зависимость фазового шума [дБн/Гц] синтезатора частоты (на основе микросхемы 1288ПЛ1У и генератора, управляемого напряжением ROS-4077-119+) от отстройки от синтезируемой частоты [Гц] при $U_{\text{ССК}} = U_{\text{ССД}} = U_{\text{ССА}} = 3,3 \text{ В}$ с параметрами синтезатора частоты: полоса пропускания 1 МГц, синтезируемая частота 3,95 ГГц, частота сравнения частотно-фазового детектора 10 МГц

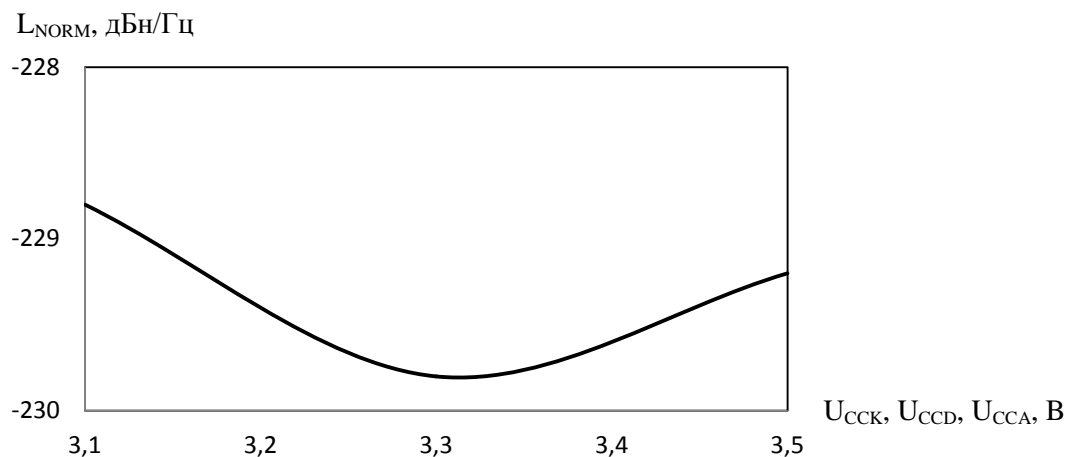


Рисунок 7.2. Зависимость уровня приведенных фазовых шумов от напряжения питания $U_{CCK} = U_{CCD} = U_{CCA}$

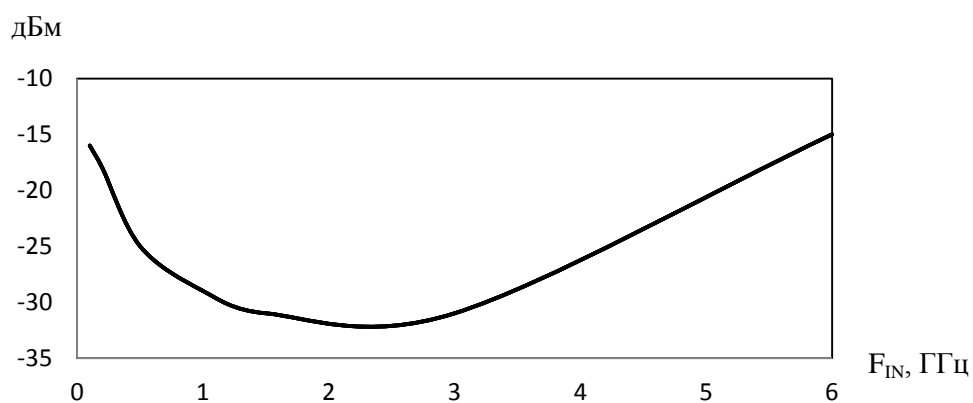


Рисунок 7.3. Типовая зависимость чувствительности высокочастотного входа от входной частоты. Режим измерения – «DIRECT»

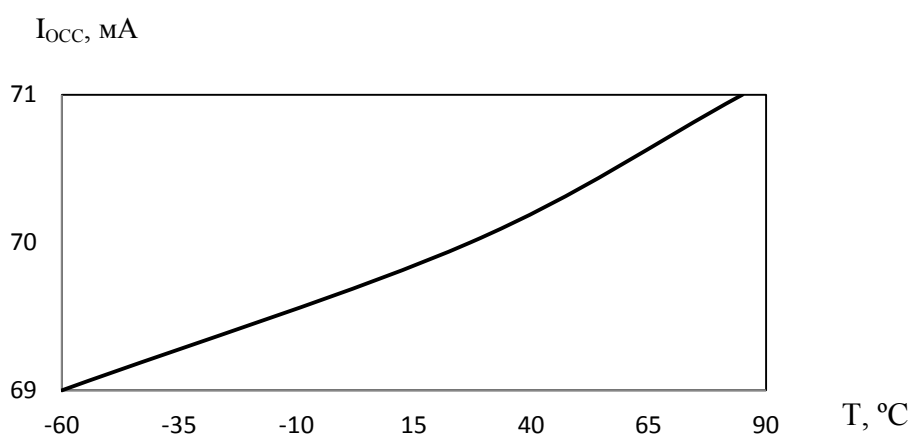


Рисунок 7.4. Зависимость динамического тока потребления от температуры при $F_{PFD}=100$ МГц, $U_{CCD} = U_{CCA} = U_{CCK} = 3,47$ В

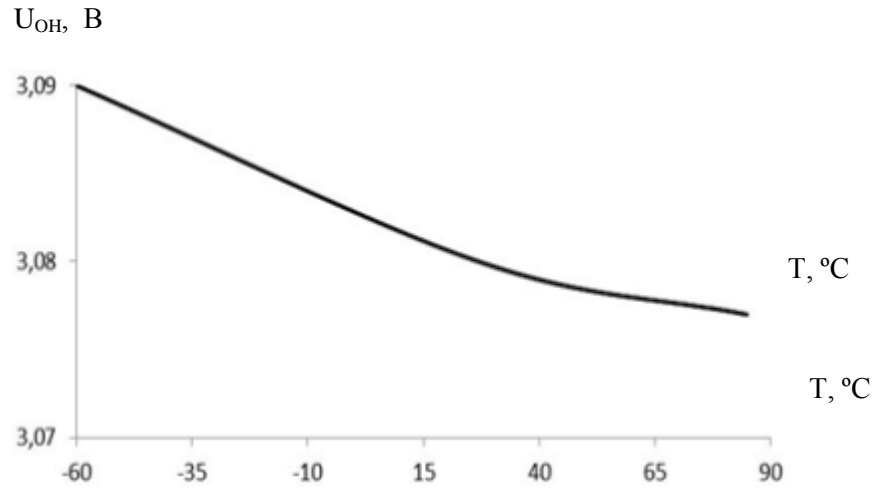


Рисунок 7.5. Зависимость выходного напряжения высокого уровня U_{OH} от температуры при $I_{OH} = \text{минус } 2,8 \text{ мА}$, $U_{CCD} = U_{CCA} = U_{CCK} = 3,13 \text{ В}$

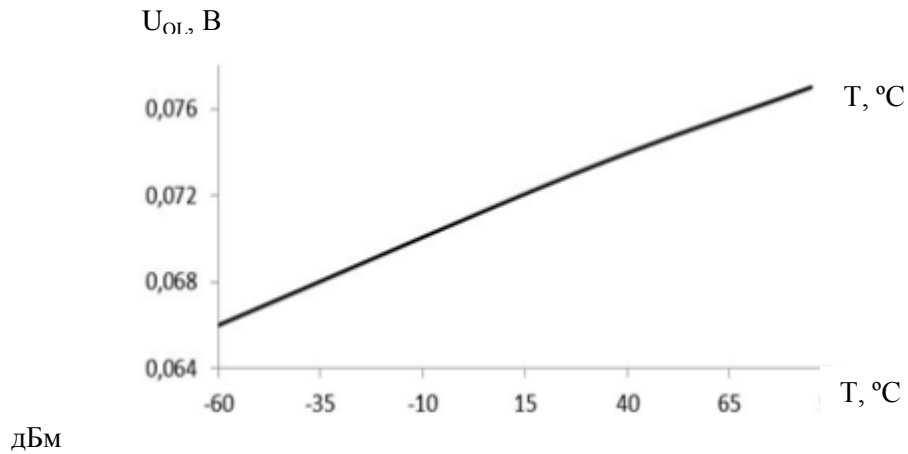


Рисунок 7.6. Зависимость выходного напряжения низкого уровня U_{OL} от температуры при $I_{OL} = 4 \text{ мА}$, $U_{CCD} = U_{CCA} = U_{CCK} = 3,13 \text{ В}$

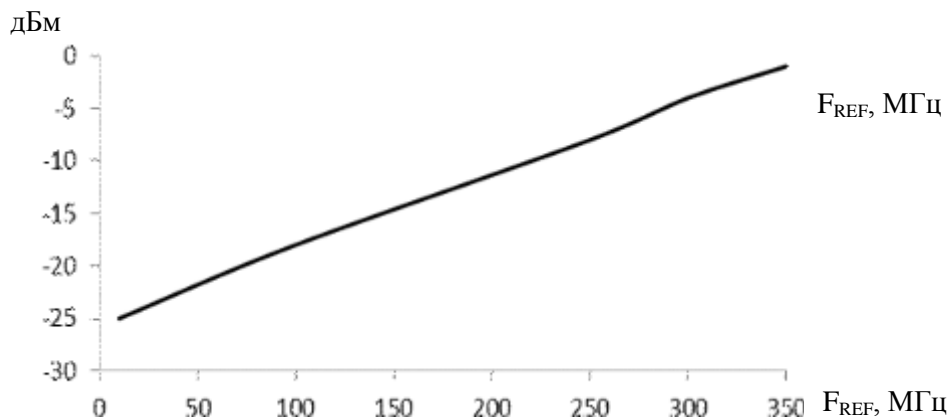


Рисунок 7.7. Типовая зависимость чувствительности опорного входа от опорной частоты при $U_{CCD} = U_{CCA} = U_{CCK} = 3,3 \text{ В}$

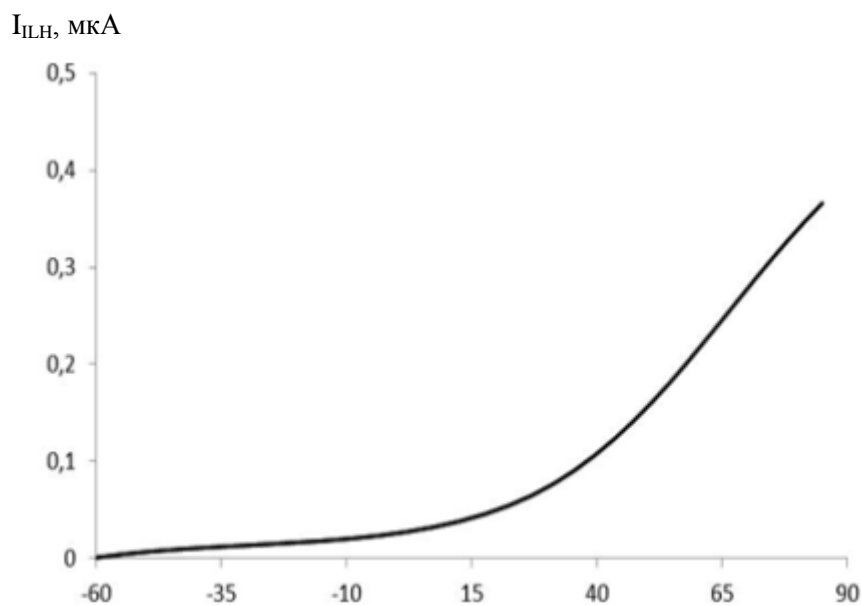


Рисунок 7.8. Зависимость тока утечки высокого уровня I_{ILH} от температуры при $U_{IH}=3,67$ В, $U_{CCD} = U_{CCA} = U_{CCK} = 3,47$ В

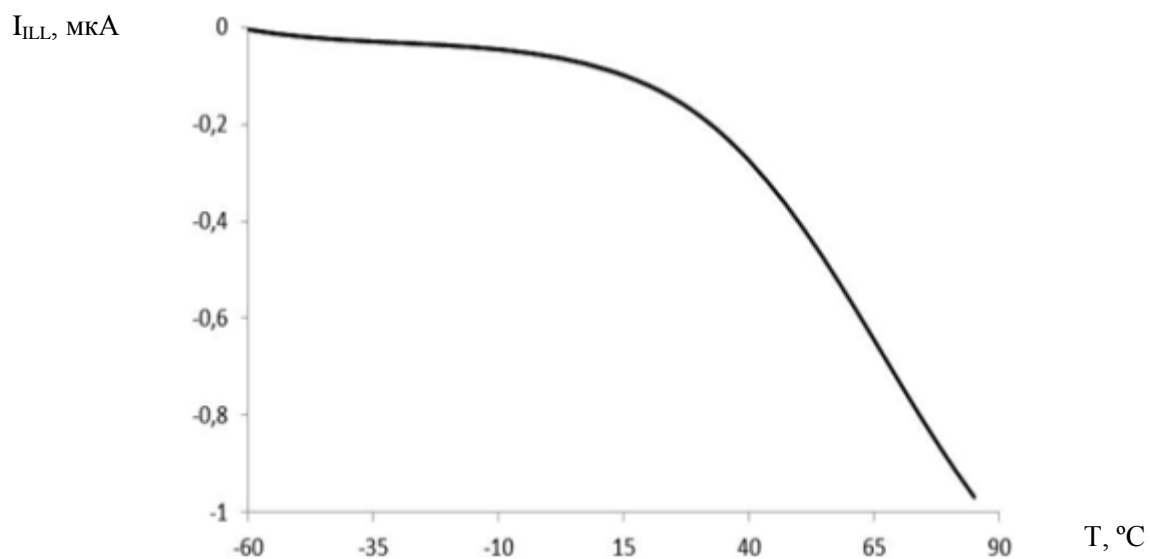


Рисунок 7.9. Зависимость тока утечки низкого уровня I_{ILL} от температуры при $U_{IL} = \text{минус } 0,2$ В, $U_{CCD} = U_{CCA} = U_{CCK} = 3,47$ В

8. НУМЕРАЦИЯ, ТИП, ОБОЗНАЧЕНИЕ И НАЗНАЧЕНИЕ ВЫВОДОВ МИКРОСХЕМЫ

Нумерация, тип, обозначение и назначение выводов микросхемы приведены в таблице 8.1.

Таблица 8.1. Нумерация, тип, обозначение и назначение выводов микросхемы

Номер вывода	Тип вывода	Обозначение вывода	Назначение вывода	
			Нормальный режим	Режим «DIRECT»
1	IA	INP	Входной положительный сигнал	
2	G	PRGND	«Общий» предделителя	
3	I	DIRECT	Включение режима «DIRECT»: DIRECT = «1» – режим «DIRECT» включен	
4	I	R[1]	Функционально не используются	Прямая загрузка коэффициента деления $2^{R[1:0]}$ опорной частоты
5	I	R[0]		
6	G	GND	«Общий» цифровой	
7	IA	REFP	Сигнал опорной частоты положительный	
8	IA	REFM	Сигнал опорной частоты отрицательный	
9	I	SDI	Входные данные последовательного порта управления	Управление кодом PRE[1]
10	I	SCK	Тактовый сигнал последовательного порта управления	Управление кодом PRE[0]
11	(I/O)Z	SDO	Выходные данные последовательного порта управления	Прямая загрузка коэффициента деления INT (восьмой бит)
12	I	SCSn	Разрешение записи в последовательный порт	Прямая загрузка коэффициента деления INT (седьмой бит)
13	G	CPGND	«Общий» токового ключа (генератора тока)	
14	OZ	CPO	Выход токового ключа (генератора тока)	
15	I	PDP	Функционально не используется	Управление полярностью фазового детектора PDP
16	IA	IREF	Установка опорного тока токового ключа (генератора тока)	
17	U	CPVDD	Напряжение питания токового ключа (генератора тока), $U_{ССК}$	
18	(I/O)Z	OUT	Выход программируемый	Прямая загрузка коэффициента деления INT (шестой бит)
19	I	LFM	Запуск линейно-частотной модуляции (ЛЧМ)	Прямая загрузка коэффициента деления INT (пятый бит)
20	U	VDD	Напряжение питания цифровое, $U_{ССД}$	
21	I	KINT[4]	Четвёртый бит кода выбора профиля частотного синтеза PROF[4:0]	Прямая загрузка коэффициента деления INT (четвертый бит)
22	I	KINT[3]	Третий бит кода выбора профиля частотного синтеза PROF[4:0]	Прямая загрузка коэффициента деления INT (третий бит)
23	I	KINT[2]	Второй бит кода выбора профиля частотного синтеза PROF[4:0]	Прямая загрузка коэффициента деления INT (второй бит)
24	I	KINT[1]	Первый бит кода выбора профиля частотного синтеза PROF[4:0]	Прямая загрузка коэффициента деления INT (первый бит)
25	I	KINT[0]	Нулевой бит кода выбора профиля частотного синтеза PROF[4:0]	Прямая загрузка коэффициента деления INT (нулевой бит)
26	I	PWDn	Переход в энергосберегающий режим: - «0» - энергосберегающий режим; - «1» - нормальный режим работы	
27	U	PRVDD	Напряжение питание предделителя, $U_{ССА}$	

Номер вывода	Тип вывода	Обозначение вывода	Назначение вывода	
			Нормальный режим	Режим «DIRECT»
28	IA	INM	Входной отрицательный сигнал	
<p>Примечание. Принятые обозначения типов выводов:</p> <p>I – вход цифровой, IA – вход аналоговый, (I/O)Z – вход/выход цифровой с состоянием «Выключено», OZ – выход аналоговый с состоянием «Выключено», U – напряжение питания, G – общий</p>				

9. ТИПОВЫЕ СХЕМЫ ВКЛЮЧЕНИЯ МИКРОСХЕМЫ

Режимы работы СБИС ФАПЧ приведены в таблице 9.1. Схема электрическая структурная включения СБИС ФАПЧ в режиме «целочисленного/дробного» или «ЛЧМ» синтезатора приведена на рисунке 9.1.

Таблица 9.1. Режимы работы СБИС ФАПЧ

Режим	Описание
Целочисленный/дробный синтезатор/ ЛЧМ синтезатор	В данном режиме используется последовательный порт
Целочисленный синтезатор с прямой загрузкой коэффициентов деления (режим «DIRECT»)	В данном режиме СБИС ФАПЧ применяется без дополнительных внешних контроллеров в режиме «целочисленного» синтезатора: коэффициенты деления (R, N, M, PRE) загружаются напрямую через внешние выводы, SDM отключается, параметры ФАПЧ (DLY, CPI1, PDP и т.п.) – по умолчанию (DIRECT = 1)

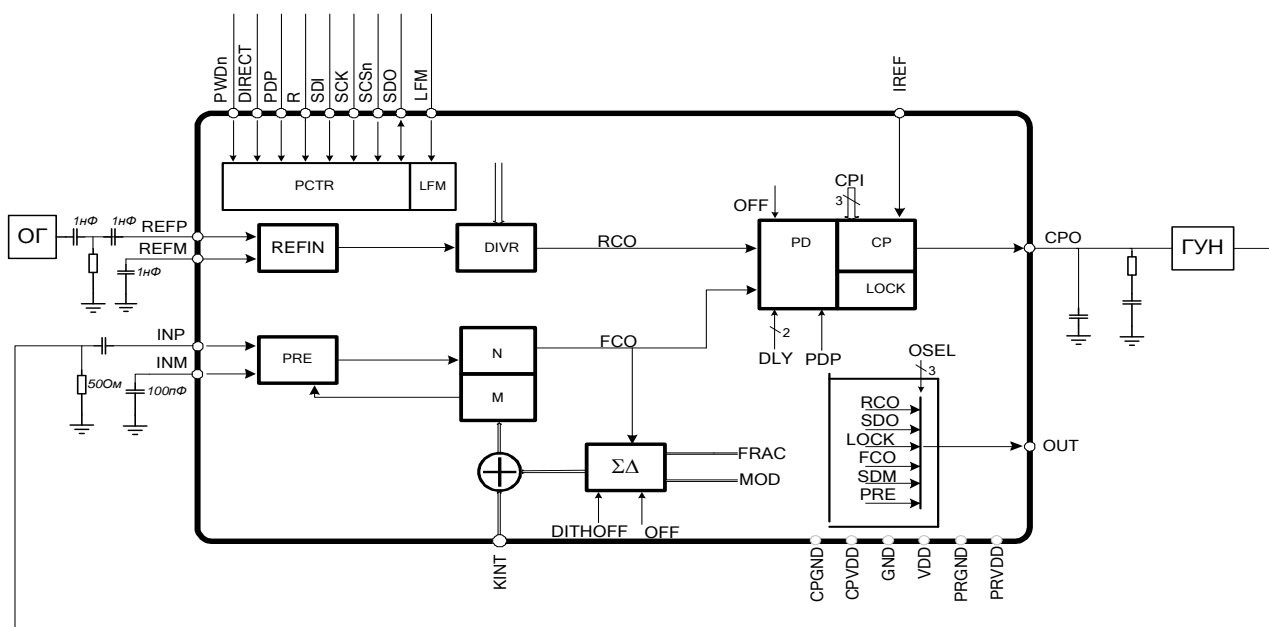


Рисунок 9.1. Схема электрическая структурная включения СБИС ФАПЧ в режиме «целочисленного/дробного» или «ЛЧМ» синтезатора

10. ТИП КОРПУСА МИКРОСХЕМЫ

Условное обозначение корпуса МК 5123.28-1 микросхемы интегральной 1288ПЛ1У приведено на рисунке 10.1.

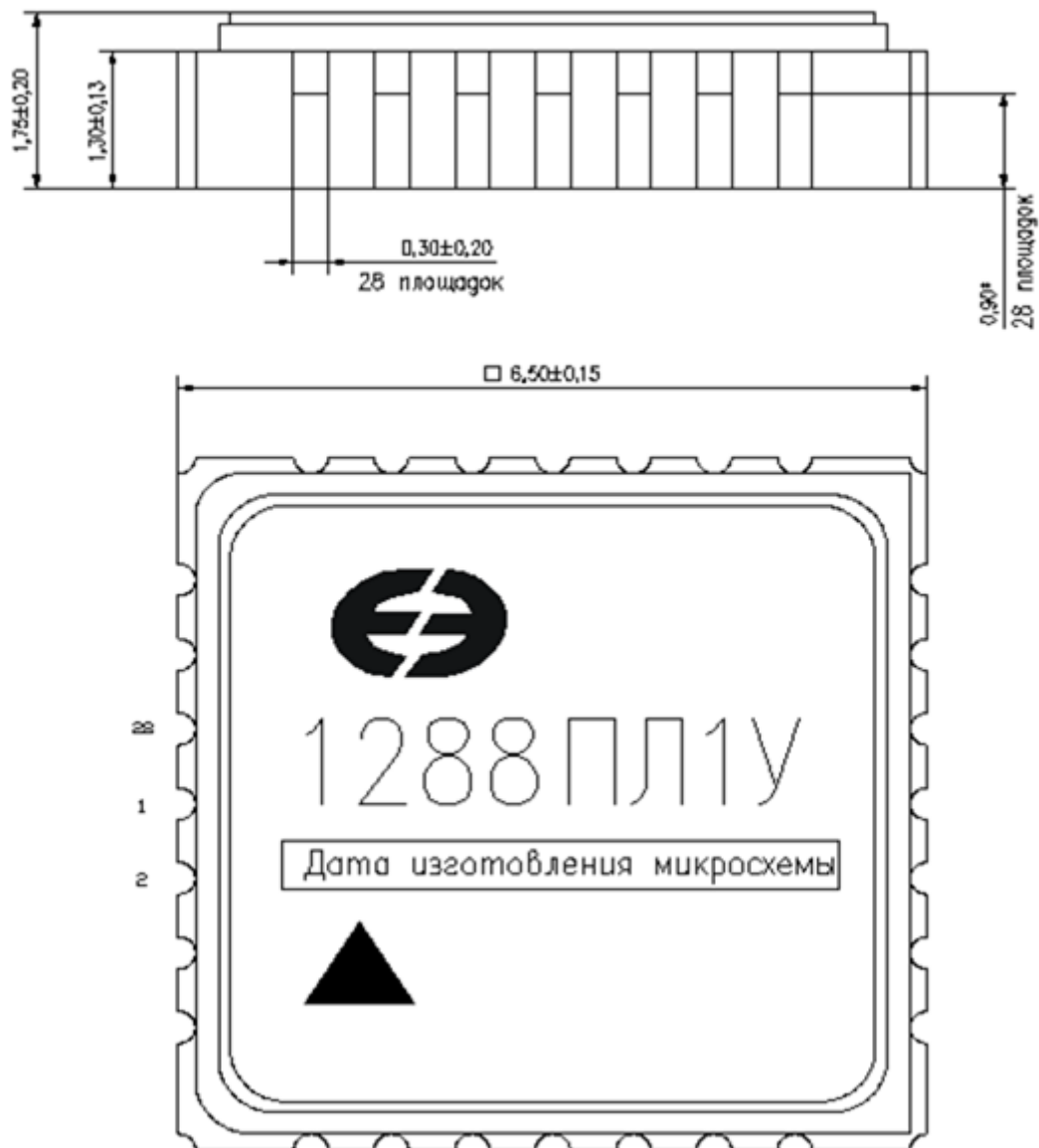


Рисунок 10.1 (лист 1 из 2). Условное обозначение корпуса: МК 5123.28-1. Масса микросхемы должна быть не более 1,5 г

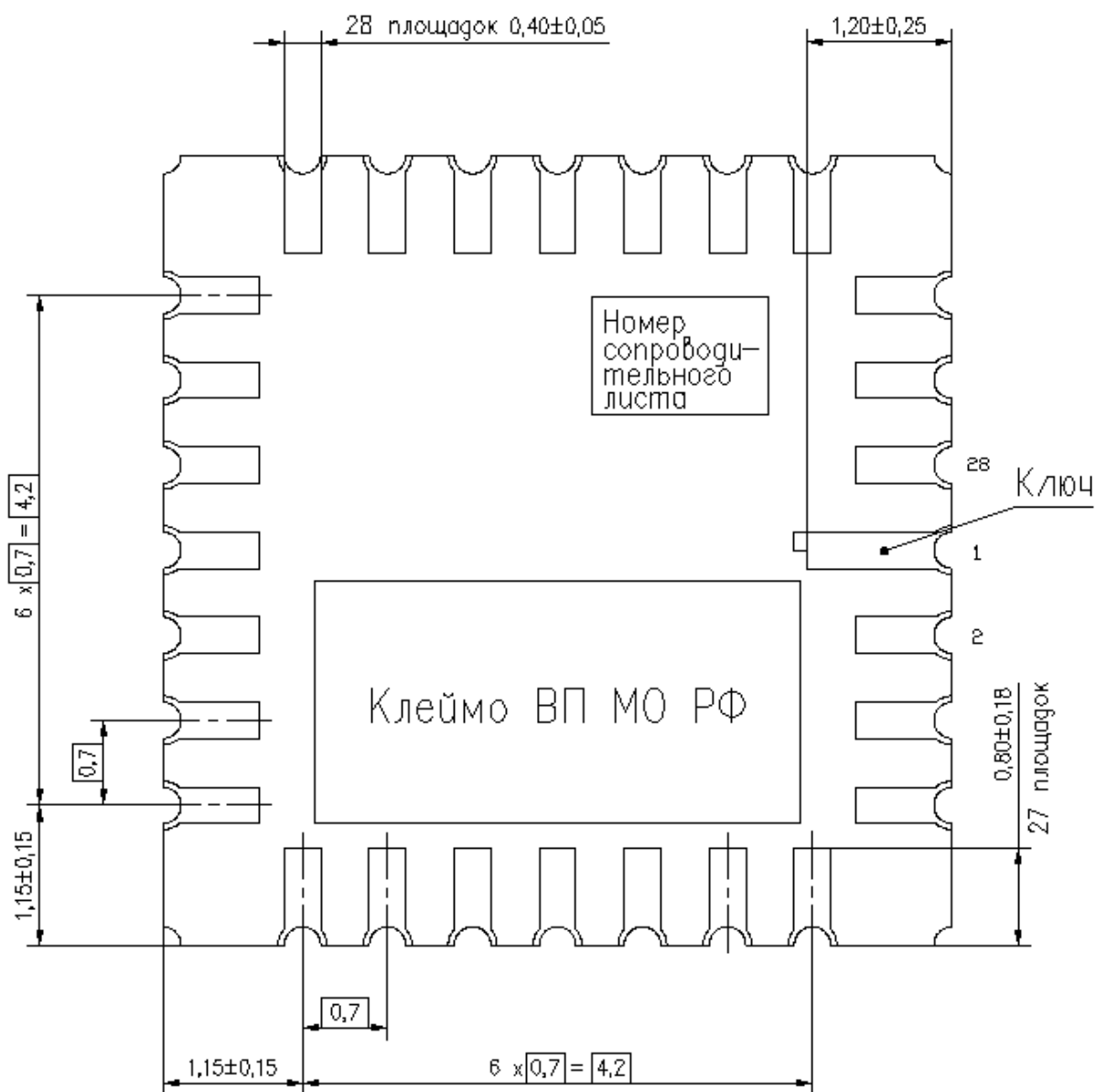


Рисунок 10.1 (лист 2 из 2)

11. ПЕРЕЧЕНЬ ПРИНЯТЫХ СОКРАЩЕНИЙ

СБИС – сверхбольшая интегральная схема

ФАПЧ – фазовая автоподстройка частоты

ОКР – опытно конструкторская работа

ГУН – генератор, управляемый напряжением

SDM– сигма-дельта модулятор

ЛЧМ – линейно-частотная модуляция

PMT - phase match tolerance

12. ИСТОРИЯ ИЗМЕНЕНИЙ

Изменения от 11.11.2015

- скорректирован раздел 1 в части замещаемых микросхем;
- более подробно описан корпус микросхемы в разделе 2.1.

Изменения от 27.02.2017. Автор: Дубинский А.В., Черных А.В.

- раздел 2: исправлена толщина корпуса на 1.75мм, уточнен тип корпуса;
- в раздел 4.5 внесены ограничения при работе в дробном режиме;
- в разделе 4.4 дополнено описание целочисленного делителя;
- в таблице 6.2 изменены значения выходного тока низкого/высокого уровня, а также значение емкости нагрузки цифрового выхода;
- раздел 10: заменен рисунок 10.1.

Изменения от 15.03.2017

- добавлена таблица 4.4. Пример работы с изменением значения поля PRE.

Изменения от 13.06.2017

- скорректированы таблицы, орфография, изменен список сокращений.

Изменения от 22.11.2018

- уточнена таблица 4.4;
- добавлено примечание к таблице 4.3 «Признак захвата фазы «LOCK» не сбрасывается при отключении опорной частоты».

Изменения от 10.01.2019

- уточнено назначение битов PRE[1:0] в таблице 4.2.