

МИКРОСХЕМА ИНТЕГРАЛЬНАЯ 1508ПЛ8Т

ТЕХНИЧЕСКОЕ ОПИСАНИЕ

АННОТАЦИЯ

Микросхема интегральная 1508ПЛ8Т представляет собой двухканальный цифровой вычислительный синтезатор (ЦВС, DDS, Direct Digital Synthesizer). Обеспечивает формирование гармонических квадратурных колебаний и сигналов с линейно-частотной модуляцией (ЛЧМ), амплитудно-фазовой (QAM), частотной и фазовой манипуляцией (ЧМ и ФМ) на частоте дискретизации до 1 ГГц.

ОГЛАВЛЕНИЕ

1. Основные особенности.....	5
1.1 Состав микросхемы	5
1.2 Основные технические характеристики:	5
2. Условное графическое обозначение.....	6
3. Функциональное описание.....	7
3.1 Режим синтеза гармонического сигнала	8
3.2 Режим модуляции	9
3.3 Режим синтеза ЛЧМ сигнала.....	10
3.3.1 Режим коррекции.....	11
4. Выводы БИС.....	12
4.1 Назначение выводов.....	12
4.2 Расположение выводов	13
4.3 Назначение выводов SEL в различных режимах.....	14
4.4 Эквивалентная схема входов INP, INM.....	15
5. Внутреннее адресное пространство.	16
5.1 Адресное пространство регистров управления DDS.	16
5.2 SWRST	18
5.3 DEVID.....	18
5.4 SEL_REG	18
5.5 CTR	18
5.6 SYNC.....	19
5.7 CLR	20
5.8 LINK.....	21
5.9 ROUTE.....	21
5.10 CH _x _TSW.....	22
5.11 CH _x _dPhy_L.....	22
5.12 CH _x _dPhy_M.....	22
5.13 CH _x _dPhy_H	22
5.14 CH _x _Py	23
5.15 CH _x _Muly.....	23
5.16 CH _x _Offsety	23
5.17 CH _x _dPh_all_L.....	23
5.18 CH _x _dPh_all_M.....	23
5.19 CH _x _dPh_all_H	24
5.20 CH _x _P_all.....	24
5.21 CH _x _LS_CTR.....	24
5.22 CH _x _LS_CRFMIN	25
5.23 CH _x _LS_F1(2)_L(M, H)	25
5.24 CH _x _LS_Ph1(2).....	26
5.25 CH _x _LS_dFy_L.....	26
5.26 CH _x _LS_dFy_M.....	26
5.27 CH _x _LS_dFy_H.....	26
5.28 CH _x _LS_TRH1_L(M, H).....	26
5.29 CH _x _LS_TRH2_L(M, H).....	26
5.30 CH _x _LS_TRH3_L(M, H).....	27
5.31 CH _x _LS_TRH4_L(M, H).....	27
6. Описание интерфейсов.....	28
6.1 Параллельный порт управления DDS.....	28
6.2 Линк-порт	30
6.2.1 Формат данных	30
6.2.2 Управление скоростью.....	31

6.3	Последовательный порт управления DDS	31
6.4	Цифро-аналоговый преобразователь	32
7.	Типовые схемы включения	34
7.1	Двухканальный режим	34
7.2	Одноканальный режим.....	35
7.3	Режим ЛЧМ с умножением частоты.....	36
8.	Электрические характеристики	37
9.	Временные характеристики	40
10.	Список изменений.....	41
10.1	07 марта 2018г.	41
10.2	10 января 2019г.....	41
10.3	20 марта 2019г.	41

1. ОСНОВНЫЕ ОСОБЕННОСТИ

1.1 Состав микросхемы

- Два независимых канала синтеза;
- Программируемый делитель тактовой частоты;
- Приемник тактового сигнала с пониженным джиттером;
- Быстродействующий компаратор;
- Последовательный синхронный порт;
- 16-битный параллельный порт;
- 4-разрядный линк-порт;
- Интерфейс прямого управления;
- Устройство синхронизации

1.2 Основные технические характеристики:

- Частота дискретизации двух независимых каналов – 1 ГГц;
- 64 профиля модуляции сигнала в каждом канале;
- 2 профиля ЛЧМ
- Независимое управление частотой, фазой, амплитудой, постоянным смещением каждого канала;
- Два 10-битных ЦАП;
- Аккумулятор частоты 48 бит.
- Аккумулятор фазы 48 бит
- 16-разрядный регистр управления смещением фазы;
- 13-разрядный четырехквadrантный амплитудный модулятор;
- 12-разрядный регистр управления постоянным смещением выходного сигнала;
- Кусочно-линейная коррекция параметров сигнала в режиме ЛЧМ;
- Возможность рандомизации фазы и амплитуды;
- Возможность синхронизации нескольких микросхем;
- Возможность «плавного» переключения параметров модуляции
- 1.8 В напряжение питания ядра;
- 3.3 В напряжение буферов входов и выходов;
- 1.8, 3.3 В напряжение питания ЦАП;
- 3.3 В напряжение питания компаратора;

2. УСЛОВНОЕ ГРАФИЧЕСКОЕ ОБОЗНАЧЕНИЕ

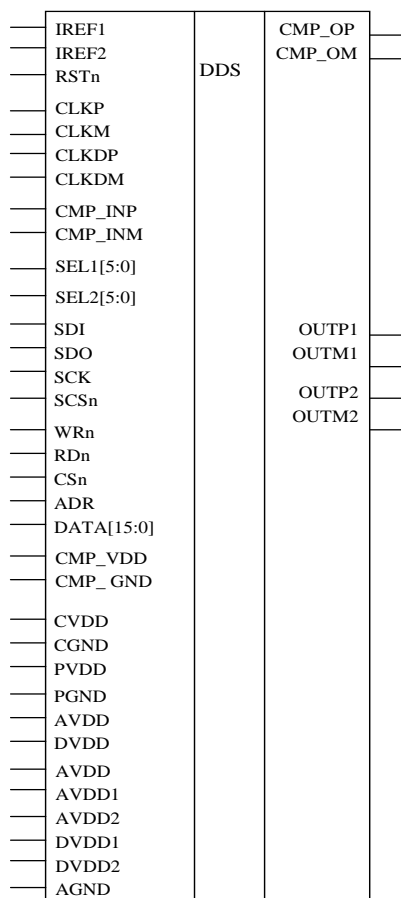


Рисунок 2.1

3. ФУНКЦИОНАЛЬНОЕ ОПИСАНИЕ

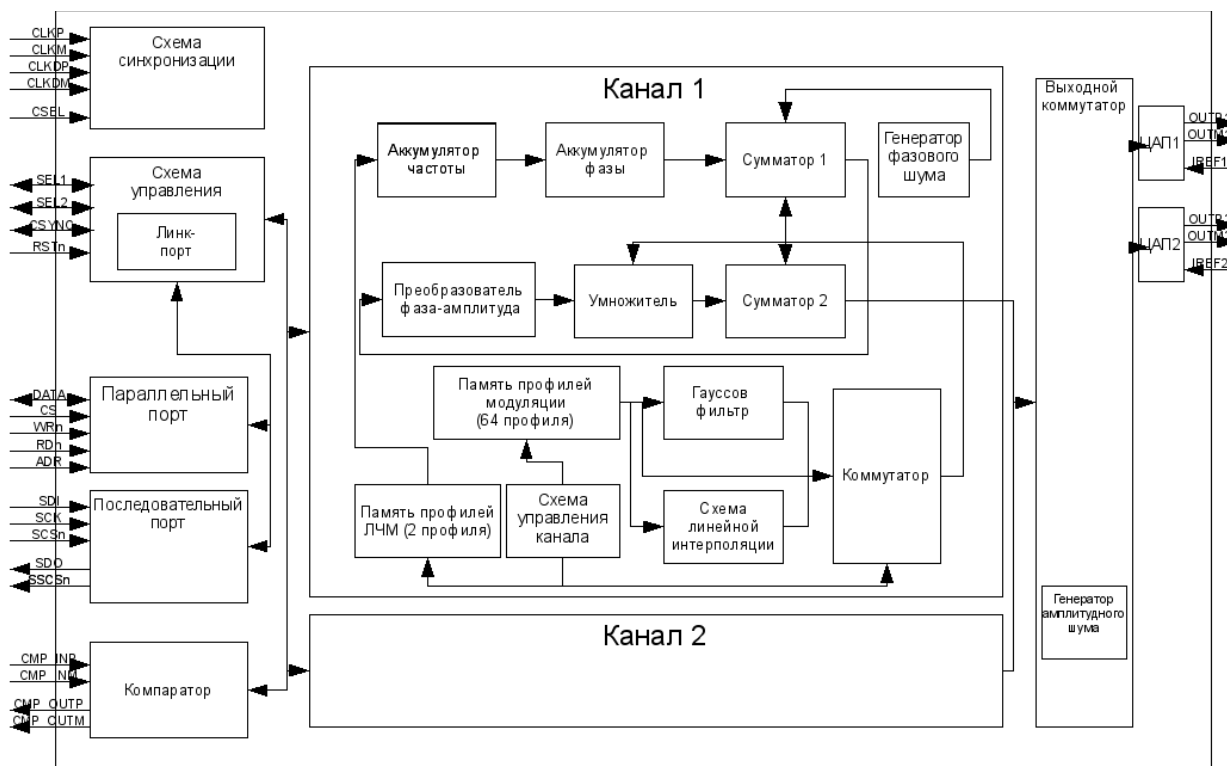


Рисунок 3.1. Функциональная диаграмма 1508ПЛ8Т

Цифровой синтезатор содержит два идентичных канала («Канал 1» и «Канал 2»), реализующих функции формирования модулированного сигнала в цифровой области, два цифро-аналоговых преобразователя (ЦАП1, ЦАП2), выходной коммутатор, параллельный 16-разрядный порт, последовательный синхронный порт, линк-порт, схемы управления и синхронизации. Также на кристалле находится компаратор.

Параллельный и последовательный порты позволяют осуществлять запись и чтение конфигурационных регистров синтезатора для задания режимов, тестирования и осуществления модуляции сигнала.

Линк-порт позволяет осуществлять модуляцию сигнала и задавать скорость следования модулирующих символов.

Каждый канал содержит 48-разрядный аккумулятор частоты, 48-разрядный аккумулятор фазы, память профилей профилей ЛЧМ (2 профиля), память профилей модуляции (64 профиля), схему линейной интерполяции, гауссов фильтр, генератор фазового выбеляющего шума, схемы управления.

Аккумулятор частоты имеет разрядность 48 бит, выходная разрядность 48 бит.

Аккумулятор фазы имеет разрядность 48 бит, выходная разрядность 17 бит.

Сумматор 1 имеет входную разрядность 17 бит (текущая фаза), 16 бит (смещение фазы), 4 бита (выбеляющий шум). Выходная разрядность – 15 бит.

Преобразователь фаза – амплитуда имеет входную разрядность 15 бит, выходную разрядность – 12 бит.

Умножитель имеет входную разрядность 12 бит (текущая амплитуда), 13 бит (коэффициент усиления), выходная разрядность 12 бит.

Сумматор 2 имеет входную разрядность 12 бит, выходную разрядность – 12 бит.

Каждый из 64 профилей модуляции содержит 48-разрядный регистр приращения фазы (dPh), 16-разрядный регистр смещения фазы (P), 13-разрядный регистр амплитуды (Mul) и 12-разрядный регистр постоянного смещения (Offset) синтезируемого сигнала. В режиме синтеза ЛЧМ память профилей может использоваться для хранения узловых значений параметров частотно-зависимой коррекции.

Профиль ЛЧМ содержит 48-разрядный регистр приращения частоты, 48-разрядный регистр начальной частоты и 16-разрядный регистр начальной фазы.

Гауссов фильтр осуществляет фильтрацию параметров модуляции. Длина импульсной характеристики данного фильтра задается регистром TSW.

Схема линейной интерполяции используется в режиме коррекции при синтезе ЛЧМ и осуществляет вычисление значений параметров коррекции для промежуточных частот методом кусочно-линейной интерполяции. Такая коррекция позволяет скомпенсировать искажения АЧХ ЦАП вида $\sin(x)/x$, а также ввести произвольные предыскажения для компенсации погрешностей аналоговой части тракта.

Выходной коммутатор осуществляет, в зависимости от режима, суммирование сигналов с выходов каналов, добавление амплитудного шума и ограничение разрядности сигнала с 12 бит до 10 бит перед подачей на соответствующий ЦАП.

Компаратор может использоваться для преобразования гармонического синтезированного сигнала в прямоугольный.

Схема синхронизации осуществляет прием тактового сигнала с одного из дифференциальных входов: CLKP/CLKM, CLKDP/CLKDM и обеспечивает формирование тактирующих импульсов для остальных блоков микросхемы. Выбор источника тактового сигнала осуществляется подачей логического уровня на вход CSEL.

3.1 Режим синтеза гармонического сигнала

В режиме синтеза гармонического сигнала аккумулятор частоты не используется.

Аккумулятор фазы увеличивает свое значение на величину, записанную в регистры [CHx dPhy L](#) (разряды [15:0]), [CHx dPhy M](#) (разряды [31:16]), [CHx dPhy H](#) (разряды [47:32]), где x – номер канала (1 или 2), а y – номер профиля (0-63), с тактовой

частотой ЦАП. Таким образом, значение выходной частоты определяется соотношением:
$$F_{out} = \frac{F_H * 2^{32} F_M * 2^{16} F_L}{2^{48}} * F_{clk},$$

где :

F_{out} — синтезируемая частота,

F_{clk} — тактовая частота ЦАП,

$F_H = Chx_dPhy_H,$

$F_M = Chx_dPhy_M,$

$F_L = Chx_dPhy_L.$

Значение аккумулятора фазы складывается с выходом генератора шума (если разрешено битом **pdith** регистра [ROUTE](#)) и значением в регистре [CHx_Py](#), после чего подается на вход преобразователя фаза-амплитуда.

Выходное значения с преобразователя фаза-амплитуда умножается на значение в регистре [CHx_Muly](#), затем к нему прибавляется значение [CHx_Offsety](#).

Вычисленное значение передается в выходной маршрутизатор, где оно либо предварительно складывается с выходом другого канала, либо непосредственно передается соответствующий ЦАП, что определяется полем **sum** регистра [ROUTE](#).

Перед подачей на ЦАП, рассчитанное значение амплитуды суммируется с выходом генератора амплитудного шума (если разрешено установкой бита **adith** регистра [ROUTE](#)). Также происходит ограничение разрядности с 12 до 10 бит.

Значения частоты, фазы, амплитуды и постоянного смещения записываются в соответствующие регистры [CHx_dPhy_L](#), [CHx_dPhy_M](#), [CHx_dPhy_H](#), [CHx_Py](#), [CHx_Muly](#), [CHx_Offsety](#) соответственно профиля независимо для каждого канала *x*. Выбор рабочего профиля осуществляется записью его номера (0-63) в поля **Pr_1** и **Pr_2** регистра [SEL_REG](#) для 1 и 2 канала соответственно.

3.2 Режим модуляции

Работа синтезатора в режиме модуляции аналогична работе в режиме гармонического синтеза.

Модуляция осуществляется путем переключения между двумя и более заранее запрограммированными профилям записью в регистр [SEL_REG](#). Вид модуляции (FM, PM, AM, QAM и т.д.) определяется содержимым соответствующих профилей.

Также переключение активного профиля может осуществляться подачей кода с его номером на входы **SEL** при установленном бите **SEL_IE** регистра [SYNC](#). Считывание состояния **SEL** происходит по положительному фронту внутренней тактовой частоты. Эту частоту можно вывести на вывод **CSYNC**, установив бит **CSYNC_OE** регистра **SYNC** в «1». Задержка управляющего воздействия от положительного фронта внутренней тактовой частоты до выхода ЦАП составляет 63 периода частоты дискретизации ЦАП.

Возможно программировать неактивный профиль «на лету», что дает практически неограниченный выбор типов и режимов модуляции.

Для уменьшения нежелательного расширения спектра синтезируемого сигнала при переключении профилей, имеется возможность «плавного» изменения параметров модуляции. Суть ее состоит в фильтрации параметров модуляции фильтром с импульсной характеристикой, близкой к гауссовой. Длина импульсной характеристики задается регистром [CHx_TSW](#) независимо для каждого канала. При $t_{sw} > 0$ интервал между последовательными переключениями параметров модуляции (профилей) должен составлять не менее $2^{t_{sw}+4} + 8$ тактов ЦАП.

3.3 Режим синтеза ЛЧМ сигнала

Цикл формирования ЛЧМ сигнала содержит 4 стадии:

- В стадии 1 происходит приращение частоты с шагом $dF1$ за такт;
- В стадии 2 частота сигнала остается неизменной либо имеет нулевое значение (постоянная фаза);
- В стадии 3 происходит приращение частоты с шагом $dF2$ за такт;
- В стадии 4 частота сигнала остается неизменной либо имеет нулевое значение (постоянная фаза);

Значения $dF1$, $dF2$ задаются регистрами [CHx_LS_dFq1_L\(M, H\)](#), [CHx_LS_dFq2L\(M, H\)](#) соответственно. Приращение частоты задается в дополнительном коде, т.е. может быть как положительным, так и отрицательным.

Длительность каждой стадии задается независимо регистрами [CHx_LS_TPH1](#) - [CHx_LS_TPH4](#) соответственно, с дискретностью 4 такта частоты дискретизации ЦАП. При тактовой частоте 1 ГГц, максимальная длительность каждой стадии составляет приблизительно 78 часов.

В стадиях 2 и 4 выходной сигнал может быть отключен установкой в «0» бит $s2_on$, $s4_on$ регистра [CHx_LS_CTR](#).

Запуск цикла формирования ЛЧМ сигнала производится записью «1» в биты $LS1_start$, $LS2_start$ регистра [CLR](#) для соответствующих каналов.

В начале стадии 1 ЛЧМ, если установлен бит [CHx_LS_CTR.frq_reset_1](#), начальное значение частоты берется из регистра [CHx_LS_F1](#) соответствующего канала. В начале стадии 3 ЛЧМ, если установлен бит [CHx_LS_CTR.frq_reset_3](#), начальное значение частоты берется из регистра [CHx_LS_F2](#) соответствующего канала.

Если установлен бит $auto$ регистра CHx_LS_CTR , по окончании стадии 4 снова начинается формирование стадии 1 в соответствующем канале.

Остановка формирования ЛЧМ производится записью «1» в биты LSx_stop регистра [CLR](#). При этом происходит немедленный переход к 4 стадии, в которой синтезатор остается неограниченное время.

Также немедленный переход к началу стадии 1-4 ЛЧМ можно осуществить записью регистра [SEL_REG](#) либо аппаратно подачей положительного фронта на соответствующие выходы [SEL](#).

3.3.1 Режим коррекции

Бит `corr_enable` регистра `CHx_LS_CTR` включает частотно-зависимую коррекцию фазы, амплитуды и постоянного смещения синтезируемого сигнала в режиме ЛЧМ. Старшие 16 бит нижней частоты корректируемого диапазона задаются регистром [CHx_LS_CRFMIN](#). Поле `CHx_LS_CTR.corr_fscale` задает диапазон частот ΔF , в котором происходит коррекция:

$$\Delta F = 63/64 * F_{CLK} / 2^{\text{corr_fscale}}$$

Параметры коррекции для частоты $F_0 = \text{CHx_LS_CRFMIN} * F_{CLK} / 2^{16}$ берутся из профиля 0, для частоты $F_0 + \Delta F$ — из профиля 63. Параметры в остальных профилях соответствуют частотам $F = F_0 + \Delta F * n / 64$, где $0 \leq n \leq 63$ — номер профиля.

Значения параметров сигнала, соответствующие промежуточным частотам, вычисляются методом линейной интерполяции.

При отключенной коррекции, параметры фазы, амплитуды и постоянного смещения синтезируемого сигнала берутся из профиля с номерами 1, 2, 3, 0 для стадий 1-4 соответственно.

4. ВЫВОДЫ БИС

4.1 Назначение выводов

Таблица 4.1. Назначение выводов БИС

Наименование	Тип	Описание	кол-во
Сигналы компаратора			
CMP_INP	AI	Вход CMP положительный	1
CMP_INM	AI	Вход CMP отрицательный	1
CMP_OP	O	Выход CMP положительный	1
CMP_OM	O	Выход CMP отрицательный	1
Тактовые сигналы			
CLKP	CI	Вход тактовой частоты положительный	1
CLKM	CI	Вход тактовой частоты отрицательный	1
CLKDP	CI	Альтернативный вход тактовой частоты положительный	1
CLKDM	CI	Альтернативный вход тактовой частоты отрицательный	1
Сигналы последовательного порта управления (SPI-интерфейс)			
SDI	I	Вход данных последовательного порта управления	1
SDO	O	Выход данных последовательного порта управления	1
SCK	I	Тактовый сигнал сопровождения последовательных данных.	1
SCSn	I	«Выбор кристалла» последовательного порта управления	1
SSCSn	O	Сигнал SCSn, пересинхронизированный сигналом CSYNC	1
Сигналы параллельного порта управления			
WRn	I	Строб разрешения записи по параллельному порту	1
RDn	I	Строб разрешения чтения по параллельному порту	1
CSn	I	Сигнал выбора кристалла	1
ADR	I	Шина адреса параллельного порта	1
DATA	IO	Шина данных параллельного порта	16
Прочие сигналы			
IREF1	AI	Опорный ток ЦАП1	1
IREF2	AI	Опорный ток ЦАП2	1
OUTP1	AO	Выход ЦАП1 положительный	1
OUTM1	AO	Выход ЦАП1 отрицательный	1
OUTP2	AO	Выход ЦАП2 положительный	1
OUTM2	AO	Выход ЦАП2 отрицательный	1
RSTn	I	Сигнал аппаратного сброса	1
CSYNC	IO	В режиме «ведущий» - выход тактовой частоты ЦАП, деленной на 4. В режиме «ведомый» - вход синхронизации.	1
CSEL	I	Выбор источника тактовой частоты.	1
SEL1	IO	Выбор профиля синтеза для 1 канала, LINK-порт, статус/управление ЛЧМ	6
SEL2	IO	Выбор профиля синтеза для 2 канала, статус/управление ЛЧМ	6
Питание			
DVDD	PWR	Питание 1.8 В («тихие» цифровые блоки)	2
CVDD	PWR	Питание 1.8 В (цифровое ядро)	7
PVDD	PWR	Питание 3.3 В (периферия)	3
AVDD	PWR	Питание 3.3 В (аналоговые блоки)	3

Наименование	Тип	Описание	КОЛ-ВО
AVDD1	PWR	Питание 3.3 В (ЦАП1)	2
AVDD2	PWR	Питание 3.3 В (ЦАП2)	2
DVDD1	PWR	Питание 1.8 В (ЦАП1)	1
DVDD2	PWR	Питание 1.8 В (ЦАП2)	1
СMP_VDD	PWR	Питание 3.3 В (компаратор)	1
СMP_GND	PWR	Земля (компаратор)	2
AGND	PWR	Земля (аналоговые и «тихие» цифровые блоки)	11
PGND	PWR	Земля (периферия)	3
CGND	PWR	Земля (цифровое ядро)	8
Итого:			100

4.2 Расположение выводов

Таблица 4.2. Расположение выводов

№	Наименование	№	Наименование	№	Наименование	№	Наименование
1	CVDD	26	AVDD	51	СMP_VDD	76	RDn
2	SCK	27	AVDD	52	СMP_OP	77	WRn
3	SDI	28	IREF2	53	СMP_OM	78	DATA[0]
4	CGND	29	AGND	54	СMP_GND	79	DATA[1]
5	SDO	30	AVDD2	55	CGND	80	DATA[2]
6	SCSn	31	AVDD2	56	SEL2[0]	81	DATA[3]
7	SSCSn	32	AGND	57	SEL2[1]	82	CVDD
8	CSn	33	OUTM2	58	SEL2[2]	83	DATA[4]
9	PVDD	34	OUTP2	59	SEL2[3]	84	DATA[5]
10	RSTn	35	AGND	60	CVDD	85	CGND
11	ADR	36	DVDD2	61	CVDD	86	CGND
12	PGND	37	IREF1	62	SEL2[4]	87	DATA[6]
13	CSEL	38	AGND	63	SEL2[5]	88	DATA[7]
14	CVDD	39	AVDD1	64	CGND	89	DATA[8]
15	CVDD	40	AVDD1	65	CGND	90	DATA[9]
16	DVDD	41	AGND	66	PGND	91	PGND
17	AGND	42	OUTM1	67	SEL1[0]	92	DATA[10]
18	CLKDP	43	OUTP1	68	SEL1[1]	93	DATA[11]
19	CLKDM	44	AGND	69	PVDD	94	PVDD
20	AGND	45	DVDD1	70	SEL1[2]	95	DATA[12]
21	AVDD	46	AGND	71	SEL1[3]	96	DATA[13]
22	AGND	47	DVDD	72	CGND	97	DATA[14]
23	CLKM	48	СMP_GND	73	SEL1[4]	98	DATA[15]
24	CLKP	49	СMP_INM	74	SEL1[5]	99	CGND
25	AGND	50	СMP_INP	75	CVDD	100	CSYNC

4.3 Назначение выводов SEL в различных режимах

Таблица 4.3. Назначение выводов SEL в различных режимах

Состояние управляющего бита				Режим работы
LINK.on	CH1_LS_CTR. LS_on	CH2_LS_CTR. LS_on	SYNC.SEL_IE	
0	0	0	1	SEL1, SEL2 выбирают активный профиль в каналах 1 и 2 соответственно.
0	0	1	1	SEL1 выбирает активный профиль канала 1, SEL2[3:0] управляют запуском стадий ЛЧМ в канале 2.
0	1	0	1	SEL2 выбирает активный профиль канала 2, SEL1[3:0] управляют запуском стадий ЛЧМ в канале 1.
0	1	1	1	SEL1[3:0] и SEL2[3:0] управляют запуском стадий ЛЧМ в каналах 1 и 2 соответственно
1	0	0	X	SEL1[3:0] – данные LINK-порта (LDAT), SEL1[4] – LCLK, SEL1[5] – LACK.
1	0	1	1	SEL1[3:0] – данные LINK-порта (LDAT), SEL1[4] – LCLK, SEL1[5] – LACK, SEL2[3:0] управляют запуском стадий ЛЧМ в канале 2.

4.4 Эквивалентная схема входов INP, INM

Эквивалентная схема входов INP, INM представлена на Рисунок 4.1.

По уровням совместима с LVDS, требуется внешнее согласование импеданса.

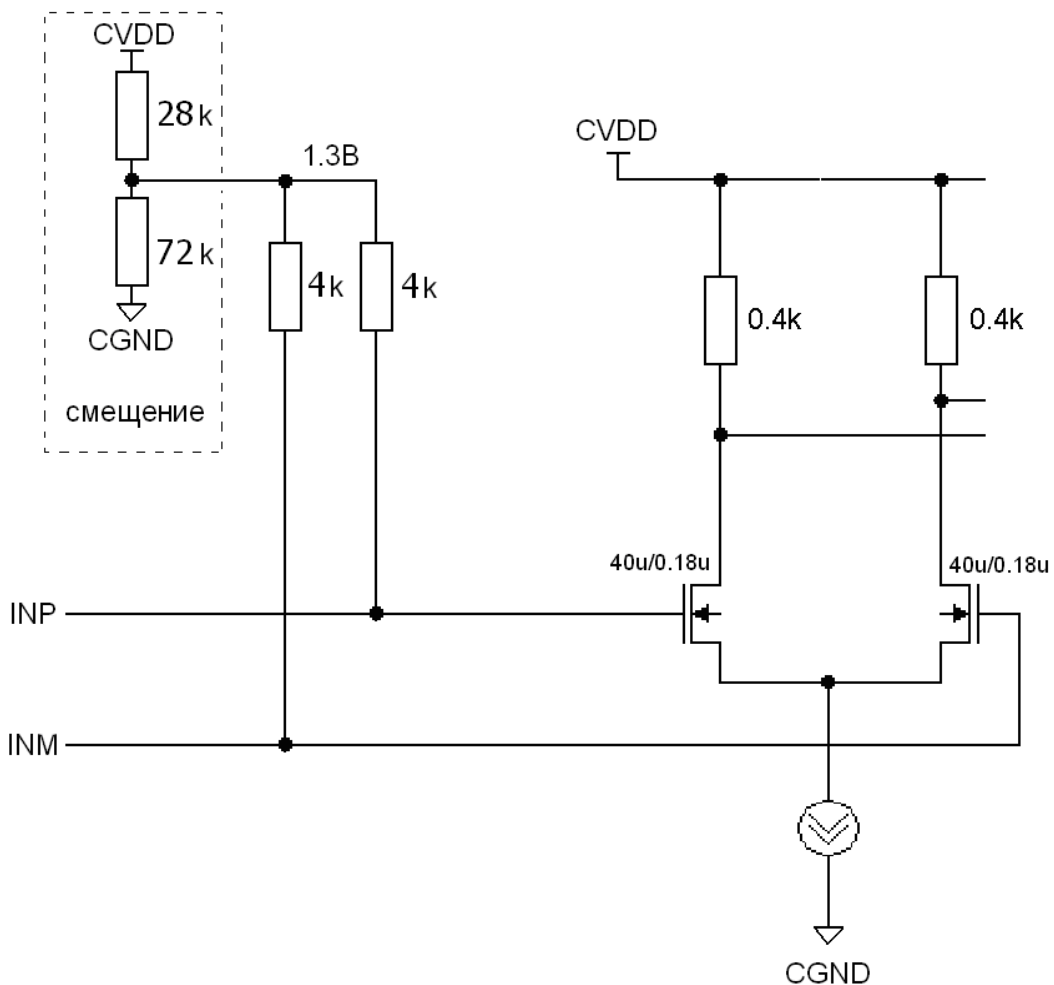


Рисунок 4.1

5. ВНУТРЕННЕЕ АДРЕСНОЕ ПРОСТРАНСТВО

Внутреннее адресное пространство содержит управляющие и статусные 16 разрядные регистры. Доступ во внутреннее адресное пространство возможен либо через параллельный порт, либо через последовательный порт управления.

5.1 Адресное пространство регистров управления DDS

Таблица 5.1. Адресное пространство регистров управления DDS

Адрес	Сброс	Тип	Имя	Назначение
0000	0000	W ¹	SWRST	Регистр программного сброса
0001	0201	R ²	DEVID	Идентификатор устройства, только чтение
0002	0000	RW ³	SEL_REG	Выбор активного профиля синтеза
0003	0002	RW	CTR	Регистр управления
0004	4800	RW	SYNC	Управление синхронизацией
0005	0000	W	CLR	Очистка аккумуляторов фазы, запуск и остановка ЛЧМ
0006	0000	RW	LINK	Управление LINK-интерфейсом
0007	0000	RW	ROUTE	Управление потоком данных и рандомизацией
0008	XXX X	RW	TC_L	Делитель чиповой скорости, биты [15:0]
	XXX X	RW	TC_H	Делитель чиповой скорости, биты [31:16]
00E0	0000	W	T_CAPTURE	Отладочный регистр: фиксация текущего состояния каналов для последующего считывания.
00E1	XXX X	R	T_SEL_STATE	Отладочный регистр: текущее состояние выводов SEL
00E2	XXX X	R	T_E_SEL	Отладочный регистр: эффективный SEL
1000: 14F3	XXX X	—	CH1_*	Регистры первого канала
1000	0000	RW	CH1_LS_CTR	Управление синтезом ЛЧМ.
1001	0000	RW	CH1_LS_CRFMIN	Нижняя граница корректируемого диапазона частот
1002	0000	RW	CH1_TSW	Управление временем переключения параметров синтеза.
1010	XXX X	RW	CH1_LS_TPH1_L	Регистр длительности 1-ой фазы ЛЧМ-сигнала [15:0]
1011	XXX X	RW	CH1_LS_TPH1_M	Регистр длительности 1-ой фазы ЛЧМ-сигнала [31:16]
1012	XXX X	RW	CH1_LS_TPH1_H	Регистр длительности 1-ой фазы ЛЧМ-сигнала [45:32]
1014: 1016	XXX X	RW	CH1_LS_TPH2_L(M, H)	Регистры длительности 2-ой фазы ЛЧМ-сигнала (аналогично регистрам длительности 1 фазы ЛЧМ-сигнала)
1018: 101A	XXX X	RW	CH1_LS_TPH3_L(M, H)	Регистры длительности 3-й фазы ЛЧМ-сигнала (аналогично регистру длительности 1 фазы ЛЧМ-сигнала)
101C: 101E	XXX X	RW	CH1_LS_TPH4_L(M, H)	Регистры длительности 4-й фазы ЛЧМ-сигнала (аналогично регистру длительности 1 фазы ЛЧМ-сигнала)
1020	XXX	RW	CH1_LS_F1_L	Регистр начальной частоты ЛЧМ 1 [15:0]

1 W — регистр только для записи. При чтении возвращается 0.

2 R — регистр только для чтения. Запись игнорируется.

3 RW — регистр можно писать и читать

Адрес	Сброс	Тип	Имя	Назначение
	X			
1021	XXX X	RW	CH1_LS_F1_M	Регистр начальной частоты ЛЧМ 1 [31:16]
1022	XXX X	RW	CH1_LS_F1_H	Регистр начальной частоты ЛЧМ 1 [47:32]
1024	XXX X	RW	CH1_LS_F2_L	Регистр начальной частоты ЛЧМ 2 [15:0]
1025	XXX X	RW	CH1_LS_F2_M	Регистр начальной частоты ЛЧМ 2 [31:16]
1026	XXX X	RW	CH1_LS_F2_H	Регистр начальной частоты ЛЧМ 2 [47:32]
1030	XXX X	RW	CH1_LS_Ph1	Регистр начальной фазы ЛЧМ 1
1031	XXX X	RW	CH1_LS_Ph2	Регистр начальной фазы ЛЧМ 2
1040	XXX X	RW	CH1_LS_dF1_L	Регистр приращения частоты 1 [15:0]
1041	XXX X	RW	CH1_LS_dF1_M	Регистр приращения частоты 1 [31:16]
1042	XXX X	RW	CH1_LS_dF1_H	Регистр приращения частоты 1 [47:32]
1044: 1046	XXX X	RW	CH1_LS_dF2_L (M,H)	Регистры приращения частоты 2 (аналогично регистрам приращения частоты 1)
1300	0000	W	CH1_dPh_all_L	Запись приращения фазы [15:0] во все профили
1301	0000	W	CH1_dPh_all_M	Запись приращения фазы [31:16] во все профили
1302	0000	W	CH1_dPh_all_H	Запись приращения фазы [47:32] во все профили
1304	0000	W	CH1_P_all	Запись смещения фазы во все профили
1305	0000	W	CH1_Mul_all	Запись коэффициента усиления во все профили
1306	0000	W	CH1_Offset_all	Запись постоянного смещения во все профили
1400	XXX X	RW	CH1_dPh0_L	Регистр приращения фазы [15:0], профиль 0
1401	XXX X	RW	CH1_dPh0_M	Регистр приращения фазы [31:16], профиль 0
1402	XXX X	RW	CH1_dPh0_H	Регистр приращения фазы [47:32], профиль 0
1404	XXX X	RW	CH1_P0	Регистр управления фазой, профиль 0
1405	XXX X	RW	CH1_Mul0	Регистр управления амплитудой, профиль 0
1406	XXX X	RW	CH1_Offset0	Регистр упр. смещением выходного сигнала, профиль 0
1410: 17F6	XXX X	RW	CH1_dPy_L(M,H) CH1_Py CH1_Muly CH1_Offsety	Параметры профилей 1-63
1800: 18FF				Отладочные регистры первого канала
1800	XXX X	R	CH1_T_dPh_L	Приращение фазы [15:0]
1801	XXX X	R	CH1_T_dPh_M	Приращение фазы [31:16]
1802	XXX X	R	CH1_T_dPh_H	Приращение фазы [47:32]
1804	XXX X	R	CH1_T_P	Смещение фазы

Адрес	Сброс	Тип	Имя	Назначение
1805	XXX X	R	CH1_T_Mul	Коэффициент умножения
1806	XXX X	R	CH1_T_Offset	Постоянное смещение
1808	XXX X	R	CH1_T_SEL	Номер активного профиля
1810	XXX X	R	CH1_T_out1	Выход 1 подканала
1811	XXX X	R	CH1_T_out2	Выход 2 подканала
1812	XXX X	R	CH1_T_out3	Выход 3 подканала
1813	XXX X	R	CH1_T_out4	Выход 4 подканала
2000: 2813	XXX X		CH2_*	Регистры второго канала (аналогично первому каналу)

Зарезервированные поля и регистры читаются нулями. Запись в них игнорируется.

5.2 SWRST

Запись в регистр числа 0078₁₆ вызывает программный сброс, полностью аналогичный аппаратному. При чтении возвращается '0'

5.3 DEVID

Регистр 16-бит идентификатора типа устройства. Доступен только по чтению.

5.4 SEL_REG

Выбор текущего профиля синтеза.

Таблица 5.2

Бит	Имя поля	Назначение
[15:14]	LS2_stage	Запись: запуск соответствующей стадии ЛЧМ во 2 канале; Чтение: текущая стадия ЛЧМ во 2 канале
[13:6]	Pr_2	Режим не-ЛЧМ, чтение, запись: Текущий профиль синтеза во 2 канале;
[7:6]	LS1_stage	Запись: запуск соответствующей стадии ЛЧМ в 1 канале; Чтение: текущая стадия ЛЧМ в 1 канале
[5:0]	Pr_1	Режим не-ЛЧМ, чтение, запись: Текущий профиль синтеза в 1 канале

5.5 CTR

Общее управление режимами работы микросхемы.

Таблица 5.3

Бит	Имя поля	Назначение
15	res	Зарезервировано
14	CMP_on	1: включение компаратора
13	DAC2_on	1: вкл. ЦАП 2

Бит	Имя поля	Назначение
12	DAC1_on	1: вкл. ЦАП 1
[11:5]	res	Зарезервировано
[4:0]	cmx	Коэффициент деления тактового сигнала. При CSEL=0, коэффициент деления со входов CLKP, CLKM: 0: 1:1; 1: 1:2; 3: 1:4. При CSEL=1, коэффициент деления частоты со входов CLKDP, CLKDM равен 1.

5.6 SYNC

Управление режимами синхронизации.

Таблица 5.4

Бит	Имя поля	Назначение
15	res	Зарезервировано
14	CSYNC_OE	Разрешение выдачи на CSYNC частоты дискретизации, деленной на 4 (8)
13	CSYNC_IE	Разрешение использования входного сигнала CSYNC для синхронизации
12	res	Зарезервировано
11	CSYNC_DIV	Разрешение дополнительного деления частоты CSYNC на 2 перед выдачей на CSYNC (т.е. в итоге частота дискретизации делится на 8).
10	SPI_master	1: разрешение выхода SSSCSn
9	SYNC_del	1: дополнительная задержка входного сигнала CSYNC на 0.5 нс. Для случаев, когда не соблюдается t_{sucsc}
8	SEL_IE	В не-ЛЧМ режиме: 0: активный профиль выбирается записью в регистр SEL_REG; 1: активный профиль выбирается аппаратно сигналами SEL. В режиме ЛЧМ: 1: положительный фронт на входах SEL[0] – SEL[3] запускает стадию 1-4 ЛЧМ соответственно.
7	SEL_OE	1: сигналы SEL являются выходными в не-ЛЧМ режиме при отключенном LINK-интерфейсе и индицируют номер активного профиля. В режиме ЛЧМ, SEL[5:4] являются выходными и индицируют текущую стадию ЛЧМ.
[6:5]	SYNC_Phase	Фаза синхронизации. Задержка тактовой частоты вычислительного ядра относительно входного сигнала CSYNC, в тактах частоты дискретизации ЦАП.
[4:3]	SYNC_Out_Phase	Задержка выходного сигнала CSYNC, тактов ЦАП.
[2:0]	res	Зарезервировано

5.7 CLR

Управление очисткой аккумуляторов фазы и запуск/остановка ЛЧМ.

Таблица 5.5

Бит	Имя поля	Назначение
11	bist_clr	Очистка регистров самотестирования
10	link_clr	Очистка очередей данных LINK-интерфейса
9	link_start	Сброс Tc и запуск приема данных с LINK-порта для режима внутренней синхронизации
8	link_stop	Остановка приема данных с LINK-порта для режима внутренней синхронизации
7	LS2_stop	Остановка (переход к стадии 4) ЛЧМ последовательности во 2 канале
6	LS1_stop	Остановка (переход к стадии 4) ЛЧМ последовательности в 1 канале
5	LS2_start	Запуск (переход к стадии 1) ЛЧМ последовательности во 2-ом канале
4	LS1_start	Запуск (переход к стадии 1) ЛЧМ последовательности в 1-ом канале
3	Clr_fq2	Установка аккумулятора частоты 2-канала в значение CH2_LS_F1
2	Clr_fq1	Установка аккумулятора частоты 1-канала в значение CH1_LS_F1
1	Clr_ph2	Очистка аккумулятора фазы 2-канала
0	Clr_ph1	Очистка аккумулятора фазы 1-канала

5.8 LINK

Управление LINK-интерфейсом.

Таблица 5.6

Бит	Имя поля	Назначение
[15:5]	res	Зарезервировано
[4:3]	clk_mode	Режим тактирования. 0: длительность символа равна $4 \cdot T_{clk} \cdot (TC_H \cdot 2^{16} + TC_L)$; 1: длительность символа равна $4 \cdot T_{clk} \cdot 2^{32} / (TC_H \cdot 2^{16} + TC_L)$; 3: внешняя синхронизация. Переключение профилей происходит по положительному фронту на SEL2[0]; T_{clk} — период тактовой частоты ЦАП
[2:1]	res	Зарезервировано
0	on	1 – включение LINK-интерфейса. В этом режиме линии SEL1 используются под LINK порт. В режиме LINK.on=1, регистры с адресами $\geq 0x1000$ недоступны на запись.

5.9 ROUTE

Управление маршрутизацией сигнала к ЦАП и амплитудным выбеляющим шумом.

Таблица 5.7

Бит	Имя поля	Назначение
7	pdith2	1 = вкл. рандомизации фазы 2 канала.
6	pdith1	1 = вкл. рандомизации фазы 1 канала.
[5:4]	adith1	0: рандомизация амплитуды перед ограничением разрядности в 1 канале выключена; 1: амплитуда шума $\frac{1}{2} \cdot \text{LSB}$ ЦАП; 2: зарезервировано; 3: амплитуда шума $8 \cdot \text{LSB}$ ЦАП.
[3:2]	adith2	То же для канала 2. При этом в режиме adith1=adith2=3 гарантируется, что мгновенные значения выбеляющего шума для двух каналов равны по модулю и противоположны по знаку, т.е. их сумма равна нулю.
[1:0]	sum	Маршрутизация данных от каналов синтеза к ЦАП. 0: сигнал каждого канала поступает на «свой» ЦАП 1: сигнал 1 канала подается на оба ЦАПа. 2: сигнал 2 канала подается на оба ЦАПа. 3: сигналы каналов суммируются перед ограничением разрядности и подаются на оба ЦАПа. Режим суммирования позволяет при параллельном соединении выходов ЦАП увеличить эффективную разрядность на 1 бит, а добавление при этом противофазного шума (adith1=adith2=3) позволяет снизить влияние глитчей и дифференциальной нелинейности ЦАП.

5.10 CHx_TSW

Длина импульсной характеристики гауссового фильтра, канал x .

Таблица 5.8

Бит	Имя поля	Назначение
[15:3]	res	Зарезервировано
[2:0]	tsw	tsw=0: Фильтрация отключена; tsw>0: 2^{tsw+4} - время переключения (длина импульсной характеристики фильтра) в тактах ЦАП.

5.11 CHx_dPhy_L

Приращение фазы, канал x , профиль y , младшие 16 разрядов

Таблица 5.9

Бит	Имя поля	Назначение
[15:0]	value	Приращение фазы, разряды [15:0], канал x , профиль y

5.12 CHx_dPhy_M

Приращение фазы, канал x , профиль y , разряды [31:16]

Таблица 5.10

Бит	Имя поля	Назначение
[15:0]	value	Приращение фазы, разряды [31:16], канал x , профиль y

5.13 CHx_dPhy_H

Приращение фазы, канал x , профиль y , старшие 16 разрядов

Таблица 5.11

Бит	Имя поля	Назначение
[15:0]	value	Приращение фазы, разряды [47:32], канал x , профиль y

5.14 CHx_Py

Установка сдвига фазы в профиле у канала x .

Таблица 5.12

Бит	Имя поля	Назначение
[15:0]	value	Смещение фазы синтезируемого сигнала (Φ). value – двоично-дополнительное целое. $\Phi = \pi * \text{value} / 2^{15}$

5.15 CHx_Muly

Установка амплитуды выходного сигнала в профиле у канала x .

Таблица 5.13

Бит	Имя поля	Назначение
[15:3]	mul	Амплитуда синтезируемого сигнала (A). $A = \text{mul} / 2^{12}$, mul – двоично-дополнительное целое
[2:0]	res	Зарезервировано

5.16 CHx_Offsety

Постоянное смещение синтезируемого сигнала в профиле у канала x .

Таблица 5.14

Бит	Имя поля	Назначение
[15:4]	offset	Постоянное смещение. Двоично-дополнительное целое.
[3:0]	res	Зарезервировано

5.17 CHx_dPh_all_L

Запись 16 младших разрядов приращения фазы во все профили канала x . При чтении возвращается значение 0.

Таблица 5.15

Бит	Имя поля	Назначение
[15:0]	value	Приращение фазы, разряды [15:0], канал x , все профили.

5.18 CHx_dPh_all_M

Запись разрядов [31:16] приращения фазы во все профили канала x . При чтении возвращается значение 0.

Таблица 5.16

Бит	Имя поля	Назначение
[15:0]	value	Приращение фазы, разряды [31:16], канал x , все профили.

5.19 CHx_dPh_all_H

Запись 16 старших разрядов приращения фазы во все профили канала x . При чтении возвращается значение 0.

Таблица 5.17

Бит	Имя поля	Назначение
[15:0]	value	Приращение фазы, разряды [47:32], канал x , все профили.

5.20 CHx_P_all

Запись сдвига фазы во все профили канала x . При чтении возвращается значение 0.

Таблица 5.18

Бит	Имя поля	Назначение
[15:0]	value	Смещение фазы синтезируемого сигнала. value – двоично-дополнительное целое. $\Phi = \pi * \text{value} / 2^{15}$

CHx_Mul_all

Запись амплитуды выходного сигнала во все профили канала x . При чтении возвращается значение 0.

Таблица 5.19

Бит	Имя поля	Назначение
[15:3]	mul	Амплитуда синтезируемого сигнала. $A = \text{mul} / 2^{12}$, mul – двоично-дополнительное целое
[2:0]	res	Зарезервировано

CHx_Offset_all

Запись постоянного смещения синтезируемого сигнала во все профили канала x . При чтении возвращается значение 0.

Таблица 5.20

Бит	Имя поля	Назначение
15:4]	offset	Постоянное смещение. Двоично-дополнительное целое.
[3:0]	res	Зарезервировано

5.21 CHx_LS_CTR

Таблица 5.21

Бит	Имя поля	Назначение
15	LS_on	1: включение режима ЛЧМ.
14	PA_bypass	1: отключение преобразования фаза/амплитуда
13	frq_reset_3	“1”: установка частоты в начале стадии 3 в значение CHx_LS_F2.
12	frq_reset_1	“1”: установка частоты в начале стадии 1 в значение CHx_LS_F1.
11	ph_reset_3	Сброс фазы в CHx_LS_Ph2 в начале стадии 3.
10	ph_reset_1	Сброс фазы в CHx_LS_Ph1 в начале стадии 1.
9	s2_on	“0” выключение сигнала во 2-ой стадии.
8	s4_on	“0” выключение сигнала в 4-ой стадии.

Бит	Имя поля	Назначение
7	corr_enable	“1”: в ЛЧМ режиме включение кусочно-линейной коррекции сигнала.
6	s2_f0	1: нулевое приращение фазы в стадии 2
5	s4_f0	1: нулевое приращение фазы в стадии 4
4	auto	Автоповтор ЛЧМ последовательности (переход к стадии 1 по окончании стадии 4).
[3:0]	corr_fscale	Масштаб диапазона коррекции сигнала.

5.22 CHx_LS_CRFMIN

Нижняя граница корректируемого диапазона частот

Таблица 5.22

Бит	Имя поля	Назначение
[15:0]	value	Установка нижней границы корректируемого диапазона частот, старшие 16 бит.

5.23 CHx_LS_F1(2)_L(M, H)

Регистры начальной частоты для стадий 1, 3 ЛЧМ.

Таблица 5.23

Бит	Имя поля	Назначение
[15:0]	value	Значение частоты, разряды [15:0] ([31:16], [47:32])

5.24 CHx_LS_Ph1(2)

Регистры начальной фазы для стадий 1, 3 ЛЧМ.

Таблица 5.24

Бит	Имя поля	Назначение
[15:0]	value	Значение фазы. value – двоично-дополнительное целое. $\Phi = \pi * \text{value} / 2^{15}$

5.25 CHx_LS_dFy_L

Регистры у канала x приращения частоты для режима ЛЧМ.

Таблица 5.25

Бит	Имя поля	Назначение
[15:0]	value	Приращение частоты, разряды [15:0]

5.26 CHx_LS_dFy_M

Регистры у канала x приращения частоты для режима ЛЧМ.

Таблица 5.26

Бит	Имя поля	Назначение
[15:0]	value	Приращение частоты, разряды [31:16]

5.27 CHx_LS_dFy_H

Регистры у канала x приращения частоты для режима ЛЧМ.

Таблица 5.27

Бит	Имя поля	Назначение
[15:0]	value	Приращение частоты, разряды [47:32]

5.28 CHx_LS_TRH1_L(M, H)

Длительность 1-ой стадии ЛЧМ

Таблица 5.28

Бит	Имя поля	Назначение
[15:0]	value	Длительность 1-ой стадии ЛЧМ, $T_{clk} * 4$. Разряды [15:0] ([31:16], [45:32])

5.29 CHx_LS_TRH2_L(M, H)

Длительность 2-ой стадии ЛЧМ

Таблица 5.29

Бит	Имя поля	Назначение
[15:0]	value	Длительность 2-ой стадии ЛЧМ, $T_{clk} * 4$. Разряды [15:0] ([31:16], [45:32])

5.30 CHx_LS_TRH3_L(M, H)

Длительность 3-й стадии ЛЧМ

Таблица 5.30

Бит	Имя поля	Назначение
[15:0]	value	Длительность 3-ой стадии ЛЧМ, Tclk*4. Разряды [15:0] ([31:16], [45:32])

5.31 CHx_LS_TRH4_L(M, H)

Длительность 4-й стадии ЛЧМ

Таблица 5.31

Бит	Имя поля	Назначение
[15:0]	value	Длительность 4-ой стадии ЛЧМ, Tclk*4. Разряды [15:0] ([31:16], [45:32])

6. ОПИСАНИЕ ИНТЕРФЕЙСОВ

6.1 Параллельный порт управления DDS

Параллельный интерфейс служит для чтения и записи 16-битных регистров управления ЦВС.

Обмен данными контролируются сигналами выборка кристалла CSn, строб чтения RDn и строб записи WRn.

При использовании параллельного порта на входе SCSn должен присутствовать высокий уровень.

Сигналы CSn, RDn, WRn имеют низкий активный уровень.

Сигнал ADR выбирает доступ к адресному регистру (ADR=0), либо к данным (ADR=1).

Передача информации происходит по двунаправленной 16-разрядной шине DATA. Направление передачи определяется сигналом RDn. Низкий уровень разрешает выдачу данных из микросхемы.

Для осуществления доступа к регистру микросхемы, необходимо вначале в адресный регистр записать адрес, по которому будет осуществляться доступ (ADR=0), затем при ADR=1 произвести операцию чтения или записи данных.

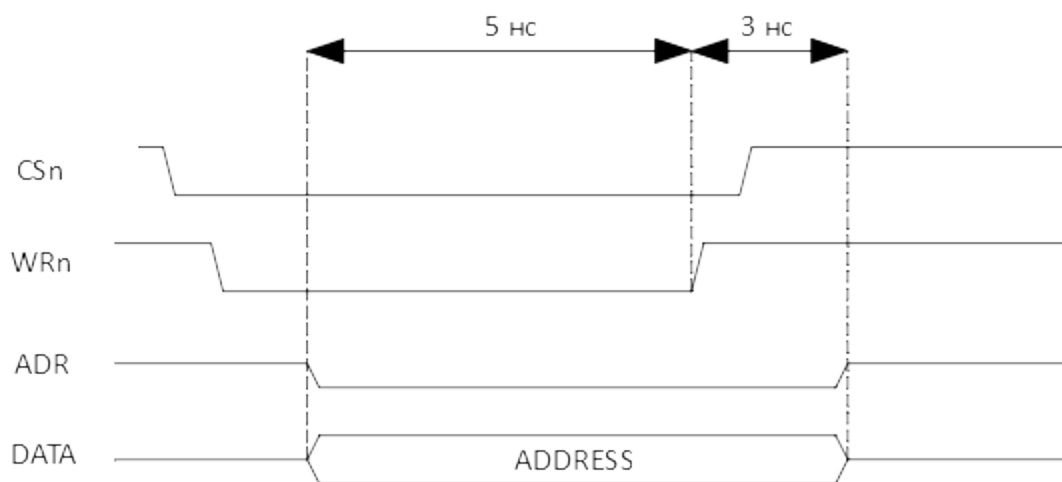


Рисунок 6.1. Запись в регистр. Фаза 1 (запись адреса)

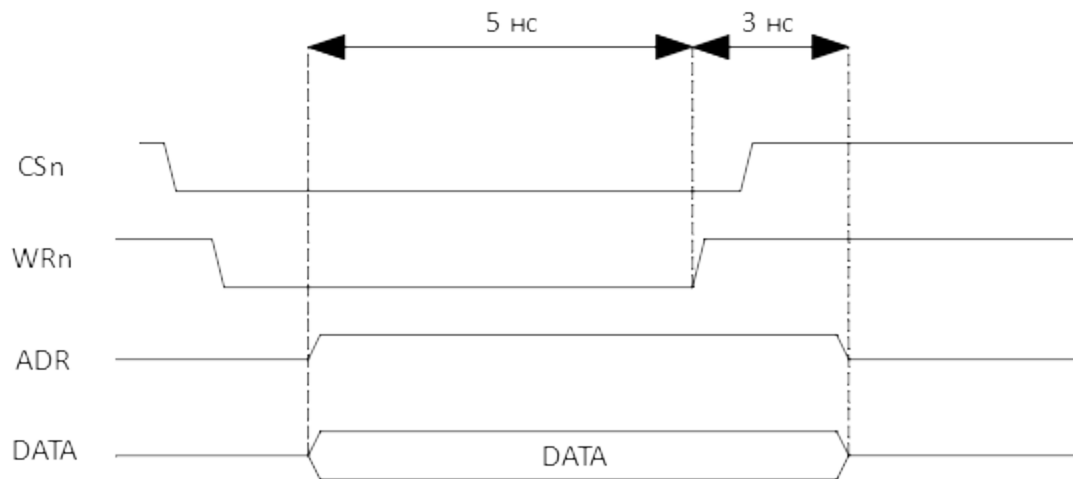


Рисунок 6.2. Запись в регистр. Фаза 2 (запись данных)

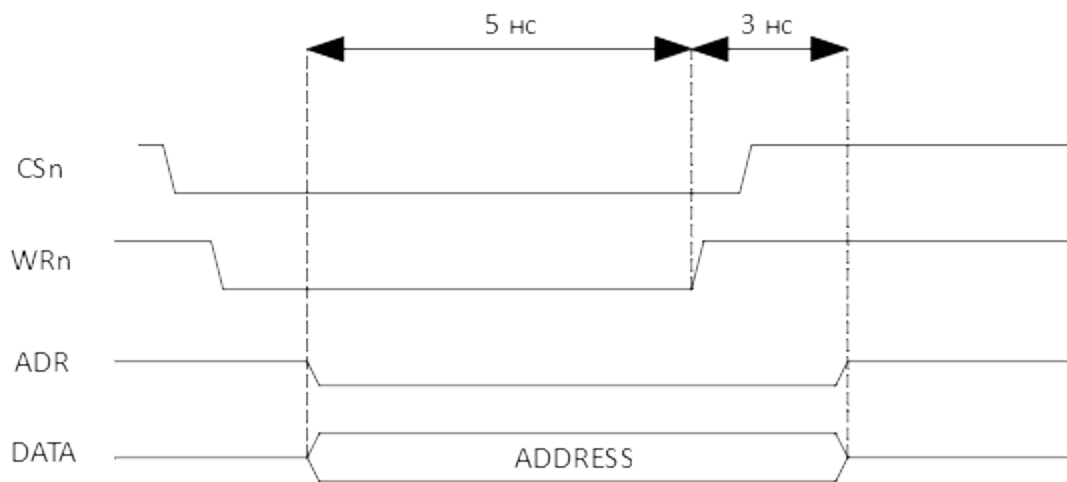


Рисунок 6.3. Чтение регистра. Фаза 1 (запись адреса)

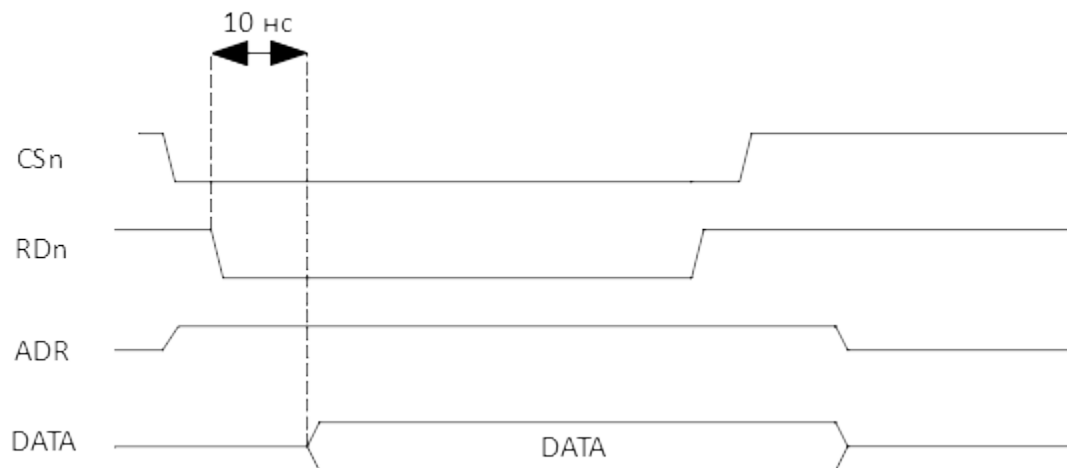


Рисунок 6.4. Чтение регистра. Фаза 2 (чтение данных)

Время между обращениями (и фазами) – не менее 10 нс.

6.2 Линк-порт

Линк-порт предназначен для осуществления модуляции путем переключения заранее запрограммированных профилей. Линк-порт совместим с 4-разрядным линк-портом ИС SHARC. Управление линк-портом осуществляется с помощью регистра LINK. В этом режиме линии SEL1 получают следующее назначение:

Для включения ЛИНК-порта необходимо записать «1» в поле «on» регистра LINK. В этом режиме линии SEL1 получают следующее назначение:

SEL1[3:0]: LDAT (входные данные линк-порта, вход);
 SEL1[4]: LCLK (тактовый сигнал, вход);
 SEL1[5]: LACK (сигнал подтверждения, выход)

Временные диаграммы работы показаны на рисунке 6.1.

В режиме линк-порта (LINK.on=1), регистры с адресами $\geq 0x1000$ недоступны на запись.

6.2.1 Формат данных

Информационной единицей (символом) является байт (8 бит). Поскольку разрядность физического равна 4 бит, передача одного символа занимает 2 такта LCLK.

Данные передаются старшим значащим полубайтом вперед по фронту сигнала LCLK.

Младшие 6 бит определяют индекс (0-63) профиля формирования сигнала, биты 6 и 7 означают, к какому каналу относятся данные, соответственно 1 и 2. Если установлены оба бита, выбирается заданный профиль одновременно в обоих каналах. Если оба бита сброшены, данные игнорируются без ожидания символьной синхронизации.

Допускается произвольное чередование данных для обоих каналов, однако в любой момент разность количества символов для обоих каналов не должна превышать 16.

Данные передаются блоками по 4 байта. Передача начинается, если сигнал LACK установлен и есть данные для передачи. Если при передаче первого полубайта очередного блока сигнал LACK не установлен, то передача приостанавливается, с сохранением LCLK в 1. После перехода сигнала LACK в 1 передача возобновляется. При отсутствии данных для передачи сигнал LCLK удерживается в 0.

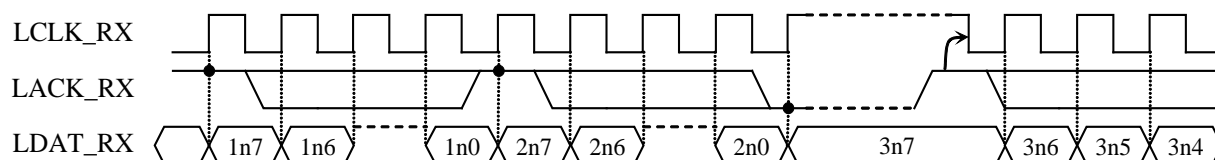


Рисунок 6.5. Временная диаграмма работы LINK-интерфейса

6.2.2 Управление скоростью

Скорость приема данных может задаваться либо программированием внутреннего счетчик-делителя, либо подачей внешнего тактового сигнала. Выбор режима осуществляется записью в поле «clk_mode» регистра LINK, а скорость модуляции в режиме внутренней синхронизации задается регистрами TC_H, TC_L.

При LINK.LINK_clk_mode=3 переключение профилей происходит по положительному фронту сигнала синхронизации SEL2[0].

При значениях LINK.LINK_clk_mode, равных 0 или 1, частота синхронизации образуется делением внутренней тактовой частоты.

Для задания режима внутренней синхронизации, в поле clk_mode регистра LINK необходимо записать значение 0 (режим деления) или 1 (режим умножения). В первом случае, период следования символов будет составлять $T_{CLK} * 4 * (TC_H * 65536 + TC_L)$, во втором – $T_{CLK} * 4 * 2^{32} / (TC_H * 65536 + TC_L)$.

Здесь T_{CLK} - частота дискретизации ЦАП.

Следует выбирать режим внутренней синхронизации, обеспечивающий меньшее отклонение скорости модуляции от номинальной.

6.3 Последовательный порт управления DDS

Для управления DDS используется последовательный порт совместимый с интерфейсом SPI. Обращение к регистрам внутреннего адресного пространства осуществляется с помощью 24-битовых команд, подаваемых на вход SDI.

Порт выглядит извне как сдвиговый регистр длиной 24 бита. Входом регистра является SDI, выходом – SDO. Информация в сдвиговый регистр записывается по положительному фронту SCSn. Выполнение команды начинается по положительному фронту SCSn.

Таким образом, значащими информационными являются последние 24 бита, принятые со входа SDI.

Описанная логика работы дает возможность последовательного соединения неограниченного количества микросхем с возможностью синхронного выполнения команд.

При выполнении команды, данные в сдвиговом регистре модифицируются в соответствии с таблицей 6.1.

Длина команды составляет 24 бита. Первые 8 бит содержат код команды, остальные 16 — параметры.

Считывание данных с линии SDI осуществляется по фронту сигнала SCLK. Установка данных на выходе SDO - по спаду сигнала SCLK. Входные и выходные данные передаются старшим значащим битом вперед.

При использовании последовательного порта, на входах CSn, RDn, WRn должен присутствовать высокий уровень.

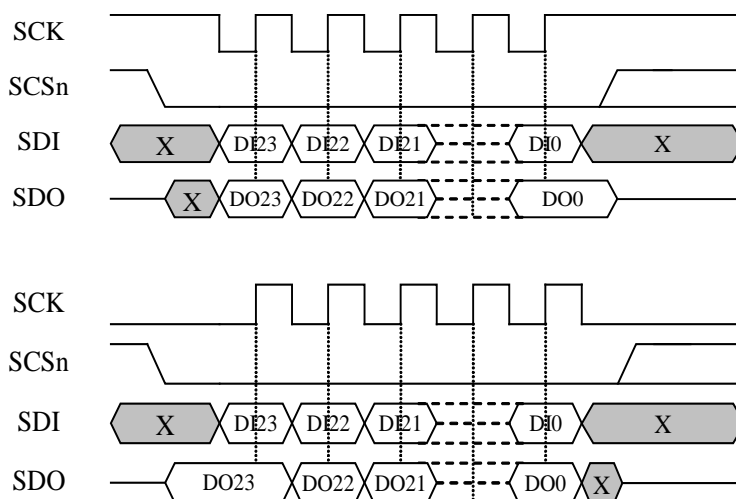


Рисунок 6.6. Временная диаграмма работы последовательного порта

Таблица 6.1. Команды последовательного интерфейса

Команда	Код	Параметр	Новое значение сдвигового регистра	Назначение
NOP	00000000	data	DEVID (201 ₁₆)	Нет операции. Значение data игнорируется.
SETA	00010000	addr	регистр адреса	Запись addr в адресный регистр.
WR	00100000	data	регистр адреса	Запись data в регистр по адресу в адресном регистре
WRI	00110000	data	регистр адреса	Запись data в регистр по адресу в адресном регистре с последующей инкрементацией адресного регистра
SETAFT	10110000	addr	прочитанные данные	Запись addr в адресный регистр с выборкой значения регистра по адресу addr в сдвиговый регистр.

6.4 Цифро-аналоговый преобразователь

Синтезатор оснащен двумя 10-разрядными ЦАП с дифференциальным токовым выходом. Каждый ЦАП может быть независимо переведен в режим низкого потребления установкой бита [CTR.DACx_on](#) в «0».

Ток полной шкалы ЦАП задается резистором R_{REF}, включенным между выводом IREF и общим проводом, или источником тока, подключенным к IREF. Коэффициент

масштабирования тока равен 128. Т.е. для получения номинального тока полной шкалы 10 мА, значение тока I_{REF} должно составлять 78.13 мкА.

Напряжение на выводе IREF равно 541 ± 7 мВ, таким образом, ток полной шкалы I_{FS} связан с резистором R_{REF} соотношением: $I_{FS} = 69.25V/R_{REF}$.

Напряжение на выходах ЦАП OUTP, OUTM должно находиться в пределах $\pm 0.6V$ относительно «земли».

7. ТИПОВЫЕ СХЕМЫ ВКЛЮЧЕНИЯ

7.1 Двухканальный режим

Каждый канал ЦВС конфигурируется и используется независимо. Например, канал 1 может быть использован для формирования ЛЧМ сигнала, в то время как канал 2 формирует модулированный сигнал для передающего тракта цифровой системы связи. Частным случаем двухканального режима является квадратурный. В последнем случае настройки каналов различаются только начальной фазой синтезируемого сигнала.

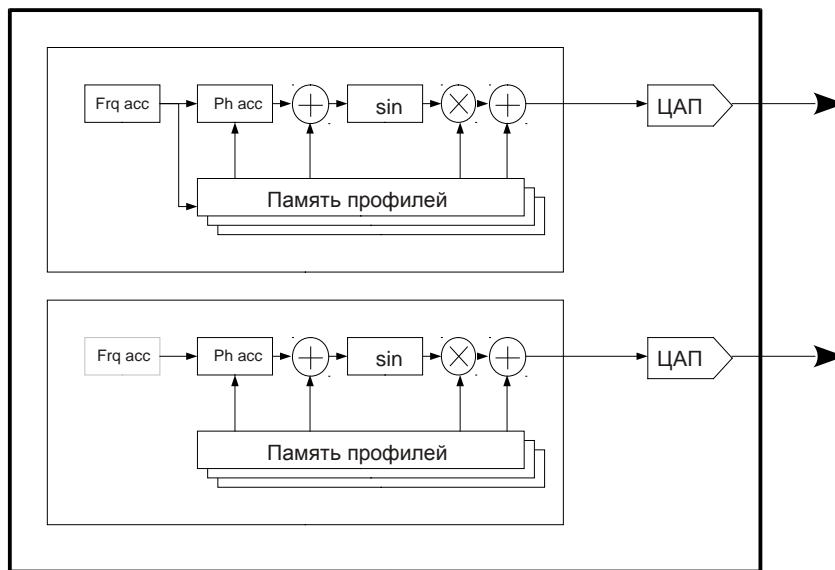


Рисунок 7.1

7.2 Одноканальный режим

В одноканальном режиме, выходные сигналы с обоих каналов суммируются и подаются на оба ЦАП. Возможные области применения данного режима:

- ▲ Формирование двух каналов передачи данных;
- ▲ Синтез QAM с GMSK;
- ▲ Расширение динамического диапазона за счет параллельного включения двух ЦАПов.

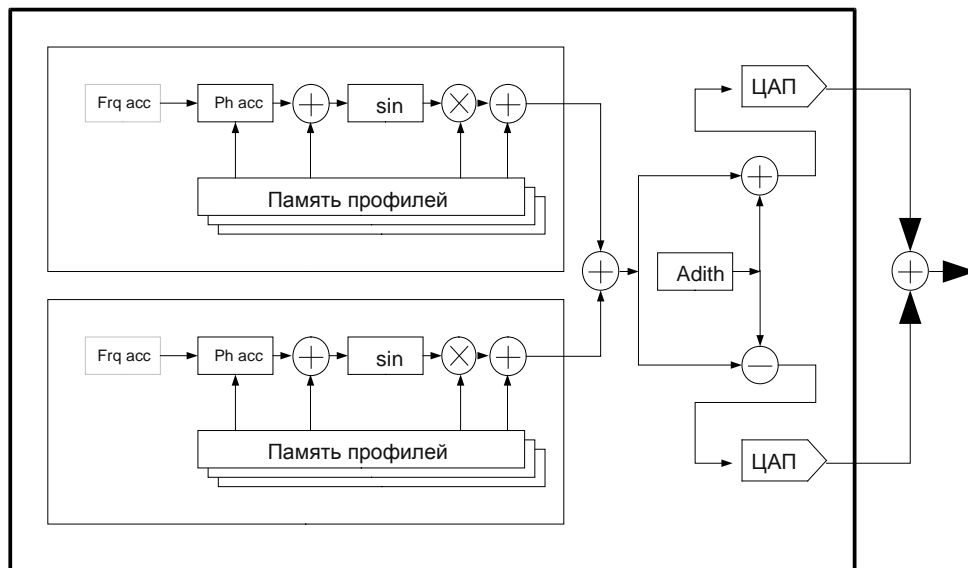


Рисунок 7.2

7.3 Режим ЛЧМ с умножением частоты

В этом режиме ЦВС 1508ПЛ8Т используется совместно с целочисленным ФАПЧ для формирования ЛЧМ сигнала с девиацией в несколько гигагерц при сохранении высокой скорости и линейности изменения частоты.

Один канал используется в качестве источника опорной частоты для ФАПЧ, в то время как второй формирует управляющее напряжение для быстрой перестройки ГУН.

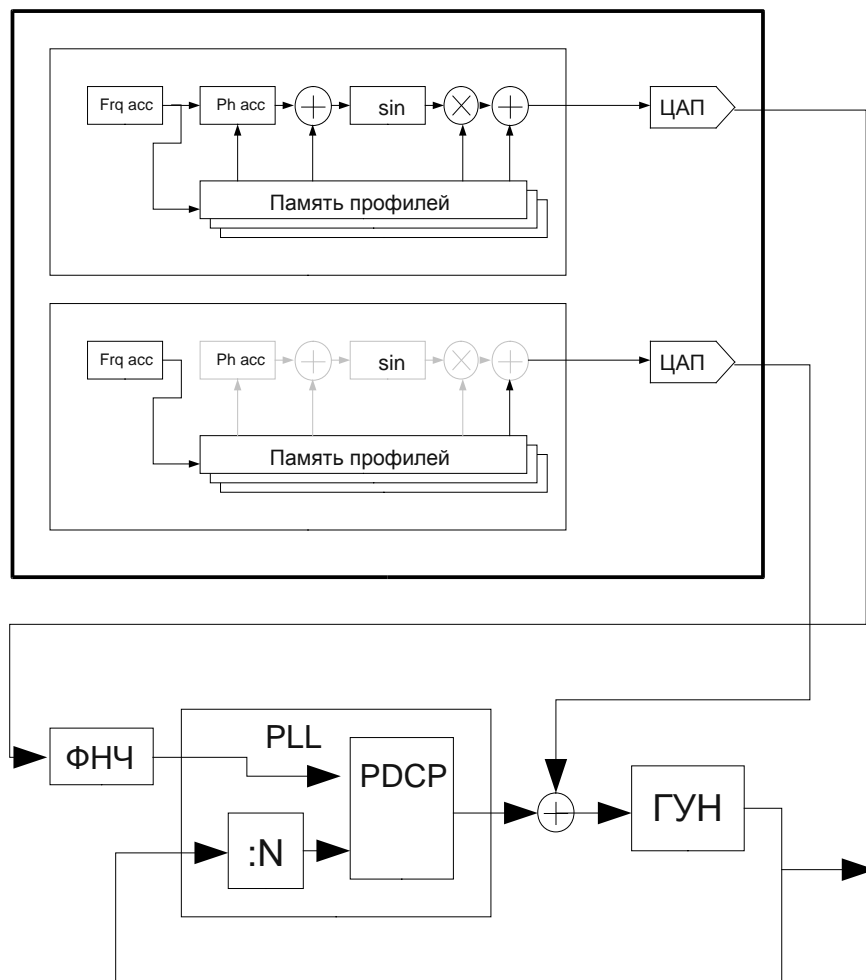


Рисунок 7.3

8. ЭЛЕКТРИЧЕСКИЕ ХАРАКТЕРИСТИКИ

Таблица 8.1. Электрические характеристики (AVDD=1.8В, VDD=1.8В, DVDD=3.3В, T=-60..+85°C)

Параметр	Обозначение	Мин.	Тип.	Макс.	Размерность
Тактовая частота: максимальная минимальная	f _c	100 0 -	1100 -	- 0	МГц
Входной уровень	P _c	-10		5	дБм
Входной импеданс	R _{cin}	20			кОм
Входная емкость	C _{cin}			12	пФ
Разрешение	N		10		бит
Дифференциальная нелинейность	DNL		0.2	1	LSB
Интегральная нелинейность	INL		0.6	1.5	LSB
Максимальная частота преобразования	F _s	100 0			МГц
Дифференциальный токовый выход	I _{odacfs}	5		20	мА
Диапазон выходных напряжений	U _{odac}	-0.6		0.6	В
Динамический диапазон, свободный от паразитных составляющих, в широкой полосе (0 – 500МГц), f =1000 МГц, f _c F _o =26 МГц F _o =126 МГц F _o =284 МГц	SFDRW		67 63 56		дБ дБ
Динамический диапазон, свободный от паразитных составляющих, в узкой полосе (F _o ±1 МГц), f =1000 МГц f _c	SFDRN	80			дБ
Фазовые отклонения от 90° по выходам квадратурных ЦАП в полосе (0 – 400МГц) без компенсации	dφ			1	Град
Амплитудные отклонения по выходам квадратурных ЦАП в полосе (0 – 400МГц) без компенсации	dA			0,5	дБ
Погрешность коэффициента усиления	GE	-10		10	%ППШ
Смещения нуля	OE		1	25	мкА
Температурный коэффициент усиления	TGE				ppm/С
Температурный коэффициент смещения нуля	TOE				ppm/С
Фазовый шум при частоте выходного сигнала 10 МГц, на отстройке - 1кГц - 10кГц - 100кГц - 1МГц			-145 -155 -165 -172		дБн/Гц дБн/Гц дБн/Гц дБн/Гц
Фазовый шум при частоте выходного сигнала 20 МГц, на отстройке - 1кГц - 10кГц - 100кГц - 1МГц			-140 -150 -162 -167		дБн/Гц дБн/Гц дБн/Гц дБн/Гц

Параметр	Обозначение	Мин.	Тип.	Макс.	Размерность
Фазовый шум при частоте выходного сигнала 80 МГц, на отстройке					
- 1кГц			-135		дБн/Гц
- 10кГц			-145		дБн/Гц
- 100кГц			-152		дБн/Гц
- 1МГц			-155		дБн/Гц
Фазовый шум при частоте выходного сигнала 160 МГц, на отстройке					
- 10кГц			-140		дБн/Гц
- 100кГц			-145		дБн/Гц
- 1МГц			-149		дБн/Гц
Входной ток	I _{срin}			±12	мкА
Входная емкость	C _{срin}			5	пФ
Величина гистерезиса	V _{срph}	30		45	мВ
Входное напряжение	V _{in}	-0,7		1,1	В
Уровень лог.1 на нагрузке 100 мкА	U _{ОНСМР}	1,4			В
Уровень лог.0 на нагрузке 100 мкА	U _{ОЛСМР}			0.8	В
Задержка компаратора	T _{срpd}			3	нс
Длительность фронта на нагрузке 5пФ	T _{срpe}			1	нс
Рабочая частота	F _{срp}	200			МГц
Среднеквадратичная величина дрожания фронта («джиттер»)	T _{срj}			1	пс
Динамический диапазон свободный от Паразитных составляющих	SFDR _{срp}	80			дБн
Напряжения питания:					
контактных площадок	PVDD	3.13	3.3	3.47	В
цифровое ядра	CVDD	1.7	1.8	1.9	В
аналоговое	DVDD	1.7	1.8	1.9	В
аналоговое	AVDD	3.13	3.3	3.47	В
Динамические токи потребления:					
цифровое ядра (1,8 В)	I _{оccc}			400	мА
суммарный ток потребления аналоговых блоков и контактных площадок (3,3 В)	ΣI _{оccc(3,3)}			100	мА
Токи потребления (статические):					
суммарный от источников 1,8 В	ΣI _{сcc(1,8)}			10	мА
суммарный от источников 3,3 В	ΣI _{сcc(3,3)}			100	мА

Таблица 8.2. Предельные характеристики

Параметр	Обозначение	Минимум	Максимум	Размерность
Напряжения питания:				
- контактных площадок	PVDD			
- цифровое ядра	DVDD	-0.5	4.0	В
- аналоговое	AVDD	-0.5	4.0	В
Напряжение на аналоговых выводах		-0.5	AVDD+0.5	В
Напряжение на цифровых выводах		-0.5	DVDD+0.5	В
Температура хранения	Tenv	-65	+125	С
Температура выводов при пайке	Tlead		+250	С

9. ВРЕМЕННЫЕ ХАРАКТЕРИСТИКИ

Таблица 9.1. Временные характеристики (AVDD=1,8В, DVDD=1,8В, PVDD=3.3В, T=-60..+85°C, Cload=40пФ)

Параметр	обозначение	Мин, нс	Тип, нс	Макс, нс
Период тактового сигнала CLK	t _{CLK}	1	0.9	
Длительность высокого уровня сигнала CLK	t _{CLKHI}	0.3		
Длительность низкого уровня сигнала CLK	t _{CLKLO}	0.3		
Длительность сигнала сброса RSTn	t _{RST}	(t _{CLK} *10)		
Интерфейс синхронизации				
Задержка формирования сигналов SEL относительно внутренней тактовой частоты	t _{tsel}		3	
Задержка формирования сигналов CSYNC относительно внутренней тактовой частоты	t _{css}		3+t _{CLK} *(SYNC.Sync_Out_Phase-1)	
Время установки сигналов SEL, CSYNC относительно внутренней тактовой частоты	t _{sucsc}		3	
Последовательный порт				
Период тактового сигнала SCLK	t _{SCLK}	max(20, 10*t _{CLK})		
Длительность высокого уровня сигнала SCLK	t _{SCLKHI}	10		
Длительность низкого уровня сигнала SCLK	t _{SCLKLO}	10		
Время установки сигнала SDI относительно переднего фронта SCLK	t _{ssdi}	2		
Время установки сигнала SCSn относительно переднего фронта SCLK	t _{sscsn}	2.5		
Время удержания сигналов SDI относительно переднего фронта SCLK	t _{hSDI}	0.5		
Время удержания сигналов SCSn относительно переднего фронта SCLK	t _{hscsn}	0		
Задержка формирования сигнала SDO относительно заднего фронта SCLK	t _{dSDO}			6
Задержка перехода сигнала SDO в высокоимпедансное состояние относительно заднего фронта SCLK	t _{dSDOZ}			6
Линк-порт: режимы SHARC				
Задержка формирование сигнала D относительно переднего фронта LCLK	t _{DL}			3
Время установки сигнала LACK относительно переднего фронта LCLK	t _{SL}	8.5		
Задержка формирование сигналов LCLK относительно PCLK	t _{dPCLKLCLK}			8.5

10. СПИСОК ИЗМЕНЕНИЙ

10.1 07 марта 2018г

Добавлены диаграммы работы с параллельным портом.

10.2 10 января 2019г

Добавлена нумерация выводов в столбцы 1,2,3 таблицы 4.2.

10.3 20 марта 2019г

Скорректировано значение регистра CTR по сбросу в таблице 5.1.