

**Применение процессоров серии «Мультикор»
Рекомендации по проектированию принципиальной
электрической схемы**

6.02.2015

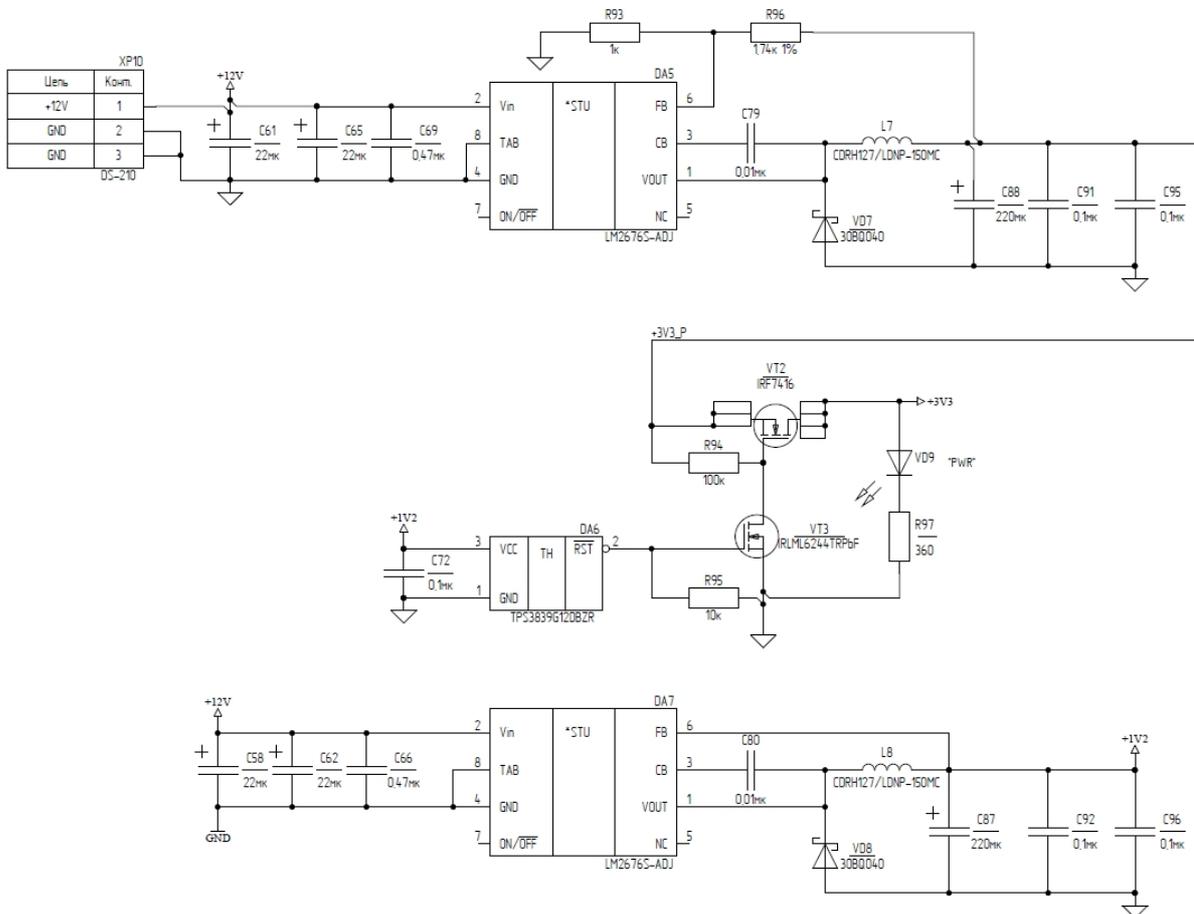
1. ВВЕДЕНИЕ

В данном документе отражены некоторые нюансы, которые желательно учитывать при разработке принципиальной электрической схемы устройства на базе процессоров серии «Мультикор».

2. ПОДАЧА ПИТАЮЩИХ НАПРЯЖЕНИЙ НА ПРОЦЕССОР И СТАРТ ПРОЦЕССОРА

В руководстве пользователя и технических условиях на процессоры серии «Мультикор» обозначено требование подавать напряжение питания ядра (CVDD) не позднее напряжения питания периферии (PVDD).

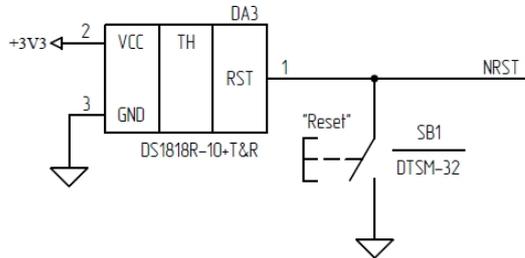
В качестве примера реализации такого условия может быть использован отладочный модуль NVCom-02TEM-3U. Часть его принципиальной электрической схемы приведена ниже. Приводимые в дальнейшем выдержки схем также взяты из схемы данного модуля, если не оговорено иное. Полностью схема отладочного модуля доступна на сайте <http://multicore.ru/>.



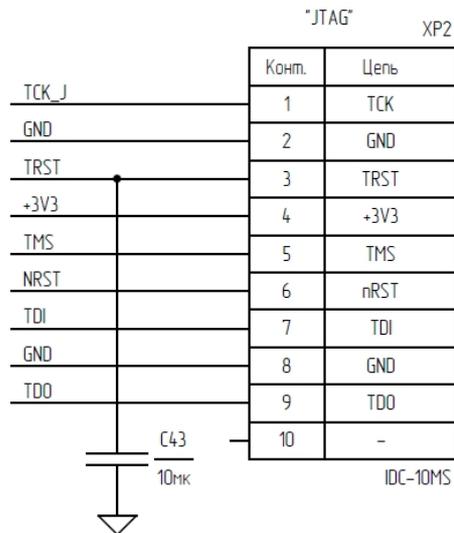
Уровень напряжения 1.2 В (цепь +1V2, CVDD для процессора 1892BM10Я) подается на процессор напрямую, а подача напряжения 3.3 В (цепь +3V3, PVDD) управляется супервизором DA6, который не выдаст управляющий сигнал раньше, чем уровень напряжения CVDD достигнет минимально допустимого значения.

Нарушение требуемого порядка подачи питающих напряжений не приводит к нестабильному поведению процессора или его немедленному выходу из строя. Однако данное требование необходимо соблюдать для обеспечения гарантированной наработки на отказ.

Также при старте процессора необходимо обеспечить кратковременный нулевой уровень на входах nRST и TRST процессора. В случае со входом nRST наиболее удобным способом представляется использование супервизора:



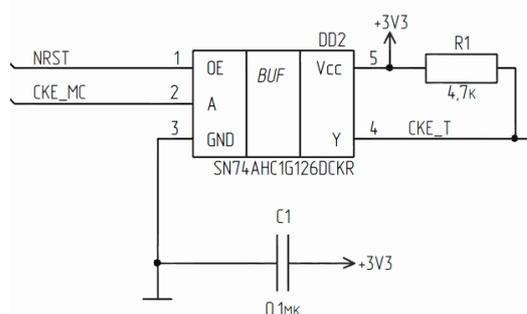
Вывод TRST – один из выводов интерфейса JTAG, обеспечивающего отладку с помощью блока OnCD в составе процессора. Для обеспечения кратковременного низкого уровня на нем при подаче питания на устройство проверенным решением является подключение его к «земле» через конденсатор емкостью 10 мкФ. Остальные выводы JTAG не требуют дополнительной обвязки на устройстве и могут быть выведены на разъем напрямую:



3. ПОДКЛЮЧЕНИЕ ПАМЯТИ ТИПА SDRAM

Порт внешней памяти процессоров серии «Мультикор» имеет в своем составе контроллер SDRAM, поэтому подключение динамического ОЗУ не требует дополнительных схемотехнических решений. Единственным исключением являются процессоры 1892BM7Я, 1892BM8Я, 1892BM10Я, имеющие особенность в реализации управления СКЕ. Особенность заключается в том, что при подаче сигнала nRST сигнал СКЕ сразу же переходит в состояние «активный ноль». Поэтому если сигнал nRST подается в момент чтения из SDRAM, микросхема памяти не завершит свой цикл работы и оставит выходы шины данных в активном состоянии. Это приведет к тому, что процессор не сможет после снятия nRST стартовать из загрузочной флэш-памяти, так как на линиях шины данных будут непредсказуемые значения. Этим обусловлено приведенное в руководстве пользователя требование завершить все операции с SDRAM перед подачей сигнала nRST.

Проверенным решением в данном случае является подключение вывода СКЕ к микросхемам памяти SDRAM через буфер:

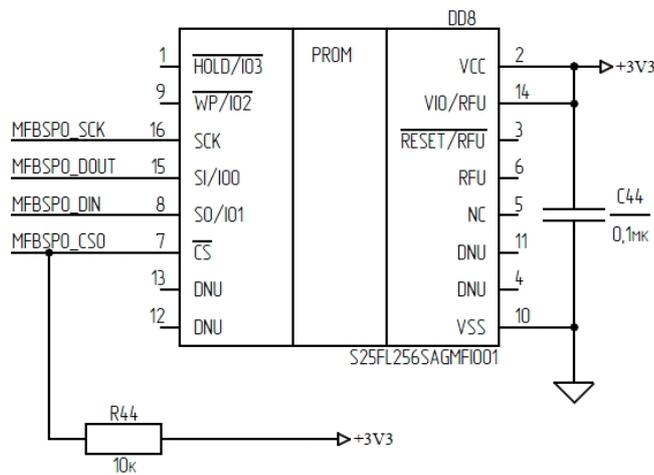


Цепь СКЕ_МС – это линия, идущая от вывода СКЕ процессора. Цепь СКЕ_Т - линия, идущая ко входам СКЕ динамической памяти. Пока на вход nRST подается неактивный уровень (3.3 В) – сигнал СКЕ на микросхемы памяти приходит напрямую с процессора. Когда подается активный уровень – выход буфера переходит в третье состояние, и уровень на входе СКЕ памяти остается высоким за счет pull-up-резистора.

4. ПОДКЛЮЧЕНИЕ ЗАГРУЗОЧНОЙ SPI FLASH

При подключении загрузочной флэш-памяти с интерфейсом SPI необходимо учитывать, что в режиме загрузки из SPI процессор переводит в активное состояние оба выхода SS[1:0] порта MFBSP0. Поэтому второе SPI-устройство допустимо подключать к порту MFBSP0 только при условии, что во время загрузки отключается подача на него сигнала SS.

Кроме того, вход SS микросхемы SPI Flash рекомендуется подтягивать к единице. Это требование приведено, как правило, в описании микросхемы SPI Flash. В противном случае не гарантируется стабильность работы микросхемы SPI Flash после снятия сигнала nRST.

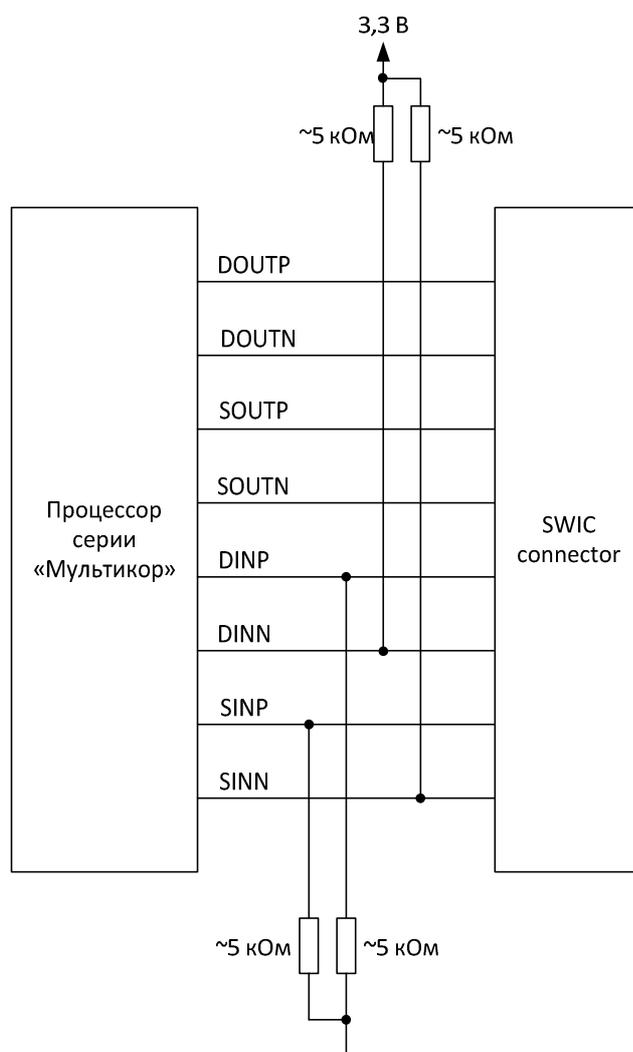


5. ПОДКЛЮЧЕНИЕ КАНАЛОВ SPACEWIRE

Каналы SpaceWire, согласно стандарту, на физическом уровне соответствуют стандарту LVDS. В процессорах серии «Мультикор» (а также в интерфейсных микросхемах SpaceWire) приемопередатчики LVDS для каналов SpaceWire реализованы в составе микросхемы. Таким образом, выводы SpaceWire микросхем необходимо подключать напрямую к разъемам на плате.

В составе приемников LVDS уже предусмотрены резисторы номиналом 100 Ом между сигналами SINN-SINP и DINN-DINP. Установка внешних резисторов между линиями приемников не требуется. На некоторых отладочных модулях также могут быть установлены внешние резисторы 100 Ом между линиями SINN-SINP, DINN-DINP. Это – рудимент, оставшийся от микросхем самых первых партий, которые не имели данных резисторов на кристалле. Данные микросхемы выпускались только в качестве опытных образцов и не поставлялись.

Желательно предусмотреть в устройстве установку fail-safe-резисторов согласно схеме:



6. ПОДКЛЮЧЕНИЕ НЕЗАДЕЙСТВОВАННЫХ ВЫВОДОВ ПРОЦЕССОРА

Неиспользуемые входы процессора необходимо подтянуть к неактивному уровню.
Неиспользуемые выходы подключать куда-либо не требуется.