

# ОТЕЧЕСТВЕННЫЕ ТРЕХЪЯДЕРНЫЕ СИГНАЛЬНЫЕ МИКРОКОНТРОЛЛЕРЫ С ПРОИЗВОДИТЕЛЬНОСТЬЮ 1,5 GFLOPS

**Татьяна Солохина**, к.т.н., зам. директора по научной работе, ГУП НПЦ «ЭЛВИС»  
**Юрий Александров**, к.т.н., ведущий научный сотрудник, ГУП НПЦ «ЭЛВИС»  
**Александр Глушков**, зам. начальника лаборатории, ГУП НПЦ «ЭЛВИС»  
**Андрей Беляев**, главный специалист, ГУП НПЦ «ЭЛВИС»  
**Ярослав Петричкович**, к.т.н., директор, ГУП НПЦ «ЭЛВИС»

В статье представлены две новые разработки ГУП НПЦ «ЭЛВИС» — трехъядерные сигнальные микроконтроллеры 1892BM4Я и 1892BM5Я, на сегодняшний день самые высокопроизводительные российские ИМС для цифровой обработки сигналов/изображений. Они созданы на базе платформы «МУЛЬТИКОР» и программно полностью совместимы с уже выпускающимися ИМС 1892BM3Т и 1892BM2Я. Высокая эффективность архитектуры на практических задачах позволяет этим отечественным ЦПОС успешно конкурировать по производительности с лучшими зарубежными аналогами TMS 320xx (Texas Instruments) и Tiger SHARC (Analog Devices).

## ВВЕДЕНИЕ

Гетерогенные многоядерные программируемые структуры (RISC+DSP), размещенные на одном кристалле, переживают настоящий бум: достаточно проанализировать направления архитектурных исследований и разработок таких гигантов электронной промышленности, как Texas Instruments, Intel, IBM и др. Тенденция к размещению на одном кристалле нескольких процессорных ядер обусловлена желанием соединения гибкости RISC-ядер с эффективностью обработки цифровых сигналов ядром DSP.

Данный подход подразумевает разработку специальных технологий интеграции, тестирования и верификации ядер. Усилия того стоят: многопроцессорные конфигурации могут обеспечить высокую производительность при обработке сигналов и изображений даже при реализации на основе КМОП-техпроцессов с 0,25-мкм проектными нормами. Следует заметить, что западные разработчики, имея возможность использовать более совершенные технологии, зачастую действуют с позиций «грубой силы», делая ставку на повышение тактовой частоты, а не на совершенствование архитектуры. Специалисты ГУП НПЦ «ЭЛВИС» избрали другой подход, нашедший свое выражение в разработке IP-ядерной (IP-intellectual property) платформы «МУЛЬТИКОР» и микросхем на ее основе.

Платформа «МУЛЬТИКОР» [1–16] представляет собой комплекс

современных аппаратно-программных средств проектирования СБИС и систем на их основе. Она содержит обширную библиотеку для отечественных и зарубежных фабрик, включающую около 40 цифровых и аналоговых IP-ядер в виде Soft Cores, Hard Cores и FPGA-дизайнов, объединяемых в «систему-на-кристалле» на основе стандартизованной системы внутренних шин AMBA. Библиотека постоянно пополняется НПЦ «ЭЛВИС» и его партнерами. IP-ядра разрабатываются с учетом совместимости с продуктами зарубежных электронных фабрик, что позволяет изготавливать первые образцы ИС за рубежом с последующим серийным выпуском в России, причем содержание проектов остается закрытым для зарубежного изготовителя.

Использование шин AMBA позволяет разработчикам ИС эффективно интегрировать ядра, разработанные другими центрами проектирования.

Следуя мировым тенденциям, ГУП НПЦ «ЭЛВИС» на базе этой платформы спроектировал микросхемы сигнальных микроконтроллеров 1892BM5Я и 1892BM4Я (см. рис. 1) как трехпроцессорные системы на кристалле (SoC). По принятой классификации СБИС, разрабатываемых на базе платформы «МУЛЬТИКОР», эти микросхемы относятся к сигнальным контроллерам с плавающей и фиксированной точками. Основное отличие между ними — наличие второго PCI-контроллера в составе микросхемы 1892BM4Я, что позволит интегрировать прибор с ИС графических контроллеров, разработанных в НИИСИ РАН.

## БАЗОВАЯ СЕРИЯ СИГНАЛЬНЫХ КОНТРОЛЛЕРОВ «МУЛЬТИКОР»

Упрощенная блок-схема микроконтроллеров представлена на рисунке 2. Каждый контроллер содержит управляющее ядро с архитектурой RISC, совместимой с MIPS32, и одно или несколько ядер ЦПОС (DSP) серии ELcore-xx.

Микросхемы 1892BM4Я/5Я содержат три ядра: процессорное RISC Core32 с архитектурой MIPS32 и два програм-

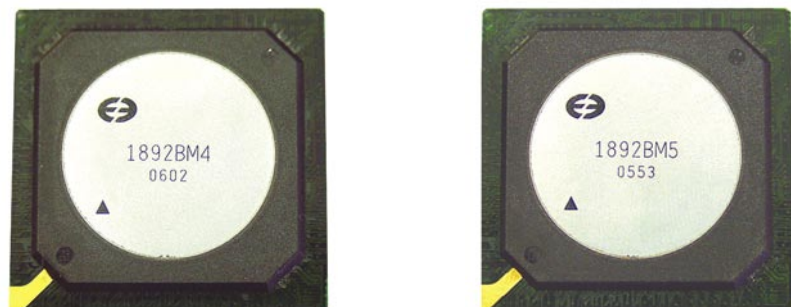


Рис. 1. Микросхемы отечественных сигнальных контроллеров 1892BM4Я и 1892BM5Я

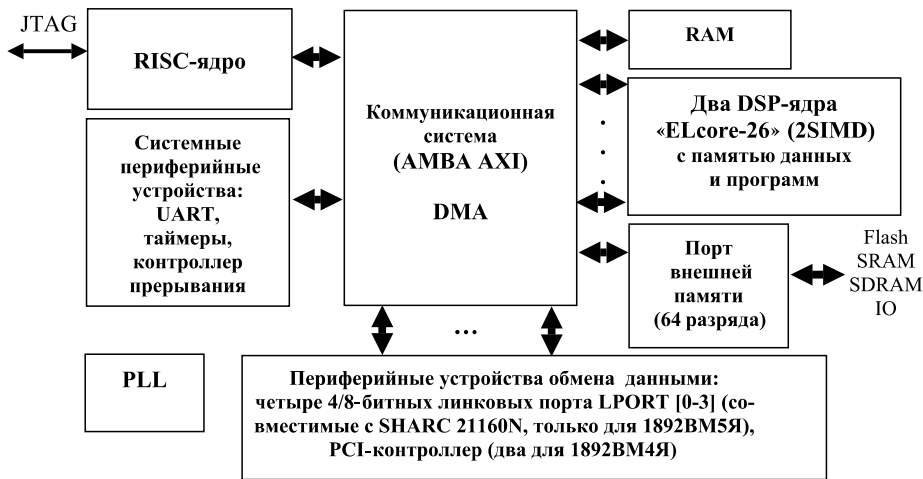


Рис. 2. Упрощенная блок-схема микроконтроллера 1892ВМ5Я

мируемых ядра ЦПОС. Принципиально новым архитектурным решением является внутренняя коммутационная среда процессоров. Все ресурсы микросхем объединяются глобальным коммутатором AMBA AXI, что позволяет преодолеть ограничения традиционных шинных архитектур. СБИС содержит 3 Мбит внутренней памяти, четыре периферийных SHARC-совместимых линка, последовательные порты и UART. Рабочая частота микросхем составляет 120 МГц.

Новые сигнальные контроллеры имеют рекордную для отечественных ЦПОС производительность. Пиковая производительность, обеспечиваемая двумя DSP-ядрами, составляет 1440 млн. оп./с для 32-битных операций с плавающей точкой (IEEE 754), 8640 млн. оп./с для 8-битных операций с фиксированной точкой, 3840 млн. оп./с для 16-битных операций с фиксированной точкой и 1920 млн. оп./с для 32-битных операций с фиксированной точкой. Следует отметить использование в микросхемах стандартного формата представления данных (IEEE 754, 24Е8), который был верифицирован при разработке DSP-ядер с платформой P4 и широко применяется разработчиками ЦПОС. Это обеспечивает предсказуемые результаты обработки данных при сравнении результатов моделирования на любых платформах.

Микросхемы 1892ВМ4Я/5Я спроектированы специалистами ГУП НПЦ «ЭЛВИС» в содружестве с центром проектирования «АНГСТРЕМ-М» (топологическое проектирование) и «АНГСТРЕМ-СБИС» (разработка блока ФАПЧ). Образцы ИС изготовлены на зарубежной фабрике по проектным нормам 0,25-мкм и имеют размеры кристалла 12,4 ×

× 12,6 мм (26 млн. транзисторов), размещенного в корпусе HSBGA-416 (35 × 35 мм). Потребляемая мощность не превышает 1,8 Вт. Кроме того, в ИС реализованы несколько режимов энергосбережения.

Микросхемы сочетают в себе лучшие качества двух классов приборов: микроконтроллеров и цифровых процессоров обработки сигналов, что особенно важно для встраиваемых приложений, где в условиях ограничения ресурсов приходится одновременно решать задачи управления и обработки информации. Организация потоков данных и инструкций поддерживает высокий уровень производительности на большинстве реальных задач спектрально-корреляционной обработки и фильтрации, обеспечивая для большинства применений в системах ЦОС уровень замещения импорта, соответствующий микросхемам мировых лидеров — разработчиков ЦПОС TS101 (ADI) и некоторых приборов TMS320C67xx (TI). Важно, что все полученные серийные микросхемы линейки отечественных DSP-контроллеров (1892ВМ3Т, 1892ВМ2Я/4Я/5Я) полностью программно совместимы «снизу вверх», что облегчает модернизацию аппаратуры.

### АРХИТЕКТУРА МИКРОСХЕМЫ

Микросхема 1892ВМ5Я реализована на основе следующих элементов библиотеки платформы «МУЛЬТИКОР»:

— процессорное ядро RISCор32™, поддерживающее архитектуру MIPS32™, реализует функции центрального процессора системы на кристалле и обеспечивает использование стандартного Си-компилятора. Центральный процессор имеет доступ ко всем устройствам ИС;

— два программируемых ядра ЦПОС с плавающей/фиксированной точками имеют общее поле регистровой памяти и высокий уровень производительности по операциям с плавающей точкой, сравнимый с быстродействием ряда 16(32)-разрядных ЦПОС разработки ADI и TI;

— многоканальный интеллектуальный контроллер прямого доступа (DMA) поддерживает режимы самосинхронизации и 32-разрядный порт внешней памяти данных со встроенным контроллером памяти SDRAM/FLASH/SRAM/ROM.

Все три процессора работают независимо друг от друга (каждый по своей собственной программе), что характерно для архитектуры MIMD (множественные потоки команд и данных), и обеспечивают работу с переменными форматами данных (от битовых до стандартных IEEE 754).

Ключевым элементом контроллера является коммутатор, соответствующий спецификациям AMBA AXI Protocol (AXI — Advanced eXtensible Interface) [17]. Он обеспечивает параллельную бесконфликтную передачу данных между любым исполнительным устройством (Slave) и любым задатчиком (Master). Исполнительными устройствами являются блоки внутренней или внешней памяти, а задатчиками могут быть ЦПУ, каналы DMA линковых портов, контроллера PCI или каналы типа «память-память».

Сопроцессоры обработки сигналов выполнены в виде ядер ELcore26™ из библиотеки платформы «МУЛЬТИКОР». Каждое из них имеет гарвардскую архитектуру с внутренним параллелизмом по потокам обрабатываемых данных типа SIMD (Single Instructions Multiple Data — один поток инструкций, много потоков данных) и функционирует под управлением ЦП. Описание системы команд и дополнительная информация о работе ядра ЦПОС приведены в [8, 11, 15].

Ядро ELcore-26™ программно совместимо с ядром ELcore-24™ (микросхемы 1892ВМ2Я и 1892ВМ3Т) серии «Мультикор», но имеет более эффективную реализацию внутренней 4-ступенчатой конвейерной микроархитектуры, что позволило повысить тактовую частоту со 100 до 120 МГц.

Ядро ELcore-26™ использует параллелизм потоков обработки по типу SIMD, что выражается в:

— использовании двух ядер DSP-ускорителей (MIMD-параллелизм);

– наличии двух SIMD-секций в каждом ядре ЦПОС (SIMD-параллелизм);

– возможности выполнения в течение одного цикла команд нескольких вычислительных операций и пересылок (на уровне каждой секции SIMD).

Дальнейшему повышению быстродействия способствует наличие доступного для всех трех ядер межпроцессорного буфера, обеспечивающего, помимо обмена данными, их взаимную синхронизацию за счет блокировки чтения данных до их записи.

Кроме того, помимо асинхронного, введен синхронный режим запуска DSP-ядер, что ускоряет обмен данными (программы, выполняемые ядрами, при этом могут быть одинаковыми или различными).

Расширению возможностей по обработке сигналов служит наличие команд преобразования данных с фиксированной точкой в формат с плавающей и обратно.

Наличие конфигурируемого порта внешней памяти с разрядностью адреса 32 и данных 64 бит, позволяющего без дополнительных элементов подключать ИС ОЗУ (асинхронные статические и синхронные динамические) и ПЗУ/ППЗУ (в том числе флэш-памяти) и поддерживающего режимы энергосбережения, позволяет расширить функциональные возможности процессора. Следует учесть, что RISC-ядро содержит встроенное ОЗУ данных/программ на 32 Кбайт, а каждое из DSP-ядер – память программ объемом 8 Кбайт и имеет доступ к общей двухпортовой памяти данных XRAM и YRAM объемом 96 и 32 Кбайт соответственно.

Введение в состав ИС контроллера PCI, соответствующего спецификациям PCI 2.2 и способного выполнять функции и ведущего, и ведомого, позволяет упростить создание на основе ИС сложных мультимикросхемных систем обработки данных.

Еще одной отличительной чертой, призванной облегчить использование ИС 1892ВМ5Я, является разнообразие встроенных периферийных устройств, в том числе отладочного порта JTAG (IEEE 1149.1), 2 последовательных портов SPORT и 4 линковых портов LPORT (с возможностью работы в режиме портов общего назначения), совместимых с DSP ADSP21160 (ADI).

Микросхемы 1892ВМ5Я/ВМ4Я без дополнительного оборудования могут интегрироваться с другими сериями ИС, разработанных НПЦ «ЭЛВИС»:

– программируемыми сигнальными контроллерами «Мультикор» для при-

менений от мобильных систем связи до высокопроизводительных радарных и гидроакустических комплексов, а также криптографических систем;

– программируемыми аналого-цифровыми ИС «Мультифлекс» для цифрового преобразования частоты в системах ввода и предварительной обработки сигналов для радаров и систем связи;

– ИС системного сопряжения «Мультикор – конструктор», предназначенными для создания реконфигурируемых встраиваемых систем;

– аналого-цифровыми микросхемами «Мультимикст»;

– перспективной серией ИС «ФлексРадио» для широкополосных радарных систем и систем связи.

Следует отметить, что, помимо разработки собственно микросхем, ГУП НПЦ «ЭЛВИС» создало комплекс средств, предназначенных для создания и отладки систем обработки данных на их основе. В аппаратную часть комплекса входит отладочная плата, содержащая ИС 1892ВМ5Я/ВМ4Я, статическое и динамическое ОЗУ, флэш-память, узлы АЦП/ЦАП и интерфейсные ИС для реализации портов RS-232, а также кабели для подключения к последовательному или параллельному порту персонального компьютера и отдельный блок питания. Программная часть представляет собой интегрированную среду разработки и отладки программ MCStudio™ [9, 12–16], работающую под управлением ОС Linux, техническую документацию на микросхему и ПО, а также библиотеку прикладных программ для микросхем 1892ВМ5Я/ВМ4Я, поставляемую на CD-ROM. Инструментальное программное обеспечение 1892ВМ5Я (MC-0226) базируется на архитектуре MIPS32 и поддерживает свободно распространяемое программное обеспечение для этой архитектуры.

Интегрированная среда проектирования включает: среду разработки программ для RISC- и DSP-ядер (компилятор с языка Си с препроцессором, ассемблер с препроцессором, дисассемблер, компоновщик, библиотекарь и утилиты для подготовки исполняемого кода); среду отладки программ в исходных текстах, исполняемых на программном симуляторе; отладчик для работы через JTAG с платой отладочного модуля (MC0226EM) или целевым устройством; средства программного моделирования с возможностью доступа пользователю ко всем инструментам через один интерфейс.

В результате совместной работы ЗАО «Интерстрон» и ГУП НПЦ

«ЭЛВИС» недавно появился пакет инструментальных средств для разработки и отладки программ для процессоров серии «Мультикор» (в том числе со всеми разработанными ранее и поставленными пользователям отладочными комплектами для микросхем 1892ВМ2Я и 1892ВМ3Т), названный «MCStudio-ECL» [19]. В настоящее время это ПО тестируется в ряде фирм, заинтересованных в скорейшем его освоении, и будет поставляться пользователям микросхем «Мультикор» со второго полугодия 2006 года.

В качестве дополнительной опции для микросхемы MC-0226 в составе отладочного комплекта MC-0226EM может быть передано ядро операционной системы Linux версий: 2.4.17; 2.4.25; 2.6.5, а также ОС реального времени типа QNX 6.3. Предполагается, что в перспективе данная микросхема будет обеспечена сертифицированной отечественной ОСРВ «Багет», разработанной НИИСИ РАН.

#### АНАЛИЗ ЭФФЕКТИВНОСТИ 1892ВМ5Я ПРИ ВЫПОЛНЕНИИ ТИПОВЫХ ПРОЦЕДУР ОБРАБОТКИ СИГНАЛОВ

Прежде всего следует отметить, что DSP-ядро имеет RISC-подобную архитектуру, с точки зрения реализованного в нем 4-уровневого конвейера. Это обеспечивает выполнение почти всех операций ядра за один такт, кроме двухтактных переходов. Поэтому программирование на ассемблере для DSP-ядра выполняется достаточно быстро и эффективно, что подтверждено на практике многими пользователями микросхемы. Конечно, это не исключает использования в перспективе полного C (C++)-компилятора, разрабатываемого для контроллеров «Мультикор». С другой стороны, сама команда для DSP-ядра имеет длину 32 или 64 бита и напоминает VLIW (very long instruction word, очень длинное слово команд). Так, одна 64-разрядная инструкция для ELCORE-26™ может выполнять две пары арифметических (логических) операций любой сложности и две пары пересылок типа «регистр – память».

Все это обеспечивает высокую плотность кодов для различных программ и позволяет реализовывать различные функции обработки сигналов для MC-0226, затрачивая на это в несколько раз меньше команд (и меньшее время), чем для многих известных ЦПОС. Это обусловлено тем, что сравниваемые приборы имеют или большую длину конвейера (10–12 уровней у TigerSHARC T201 разработки ADI), или низкую плот-



ность кода. Вследствие этого, к примеру, продолжительность выполнения процедуры FFT-256 (комплексные 16-разрядные форматы данных и коэффициентов) в 8 раз короче для SISD-ядра ELcore-16™, по сравнению с DSP-ядром C54 разработки TI (менее 1000 тактов против 8542). Эффективность ядра ELcore-26™ еще выше: оно более чем в 16 раз быстрее по числу тактов, чем ядро C54. Кроме того, ядро ELcore-26™ поддерживает дважды распараллеленную организацию потоков данных по типу SIMD.

В результате использования оригинальных решений микросхема 1892BM5Я (1892BM4Я) может успешно конкурировать с зарубежными микросхемами ЦПОС, показывая лучшие результаты на приложениях. В таблице 1 приведены результаты сравнения быстродействия микросхем 1892BM2Я (MC-24), 1892BM5Я (MC-0226) и зарубежных ЦПОС по выполнению типовых процедур сигнальной обработки. Для всех процессоров в качестве базового языка программирования был выбран язык C с последующей доработкой фрагментов программ на ассемблере.

В табл. 2 [18] представлены результаты сравнения двух сигнальных контроллеров разработки ГУП НПЦ «ЭЛВИС» и двух процессоров TigerSHARC (ADI) при решении прикладной задачи оптимального приема квазинепрерывного сигнала в радиолокации.

Алгоритм решения задачи включал следующие этапы:

1) согласование с длительностью строб-сигнала — суммирование в каждом периоде повторения в пределах одного строб-сигнала;

2) дополнение массива обработки нулями до размера, пригодного для выполнения БПФ;

3) коррекцию неортогональности — умножение в синфазном и квадратурном каналах на корректирующие коэффициенты;

4) весовую обработку;

5) быстрое преобразование Фурье (БПФ);

6) переход к действительной форме представления сигнала;

7) обнаружение и выдачу информации.

По результатам анализа можно сделать следующие выводы:

1) микросхемы серии «Мультикор» 1892BM2Я (рабочая частота 100 МГц, 0,25-мкм) и 1892BM5Я (120 МГц, 0,25-мкм) по числу требуемых циклов (т.е. безотносительно к использованной технологии, а только с точки зрения эффективности архитектуры) решают поставленную задачу практически в 2 и 4 раза быстрее, чем ADSP-TS201 (600 МГц, 0,13-мкм);

2) микросхема 1892BM5Я уступает по реальной производительности микросхеме ADSP-TS201 на стандартных форматах плавающей точки IEEE 754 (24E8) всего в 1,5 раза, а при использовании формата блочной плавающей точки для первичной

обработки (16 + j16) вообще не уступает зарубежному аналогу.

Возможные области использования новых сигнальных контроллеров:

— радиолокация и гидроакустика;

— графические ускорители;

— цифровое телевидение, мультимедийная обработка аудио- и видеоданных (H.264/AVC (CIF), JPEG 2000, MPEG-1 Audio Layer3 [MP3], AMR, WMA, AAC и другие звуковые кодеки);

— связь с криптографической защитой;

— обработка сигналов: БПФ, фильтрация, корреляция, быстрая свертка;

— управление объектами с использованием высокоточных адаптивных методов;

— высокоточная обработка данных для малогабаритных мобильных и встраиваемых систем;

— системы промышленного контроля.

На базе микросхемы 1892BM5Я выполняется разработка мультипроцессорной масштабируемой и реконфигурируемой системы обработки сигналов производительностью свыше 100 GFLOPs, снабженной гиперлинками типа Serial Rapid I/O.

## ЗАКЛЮЧЕНИЕ

Микросхемы сигнальных контроллеров MC-0226 (1892BM5Я) на сегодняшний день являются самыми высокопроизводительными отечественными серийными микросхемами ЦПОС, позволяющими

Таблица 1. Результаты сравнения быстродействия серийных микросхем 1892BM2Я (MC-24), 1892BM5Я (MC-0226) и зарубежных ЦПОС по типовым процедурам ЦПОС

Фирма	«ЭЛВИС»		TI		ADI	
	1892BM2Я (MC-24)	1892BM5Я (MC-0226)	C6701	C6416	TS201	BF53
Процессор	1892BM2Я (MC-24)	1892BM5Я (MC-0226)	C6701	C6416	TS201	BF53
Тактовая частота, МГц	100	120	166	600	600	600
Технология, мкм	0,25	0,25	0,18	0,13	0,13	0,13
Пиковая производительность (млн. оп./с) в форматах:						
- 16 бит, фиксированная точка	1600	3840	-	4800	14400	3360
- 32 бит, плавающая точка, стандарт IEEE 754	600	1440	1000	-	3600	-
- 8 бит, фиксированная точка	3600	8640	-	-	-	-
КИХ-фильтр, 35 отводов, 1024 входных отсчета (мкс):						
- фиксированная точка 16 × 16 + 32	99,8	41,6	-	25,7	8,4	
- фиксированная точка 8 × 8 + 32	50,4	21	-	-	-	
- 32 бит, плавающая точка	195,4	81,4	393	-	-	
FFT-1024, комплексное (мкс):						
- блочная плавающая точка (16 + j16)	58	24,2	-	11	7,75	
- 32 бит, плавающая точка	107	44,6	160	-	16,8	
FFT-256, комплексное (мкс):						
- блочная плавающая точка (16 + j16)	11,2	4,7				5,3
DCT-8×8, фиксированная точка, 16 бит (мкс)	0,6	0,3				<0,5
ACS-операции (млн. оп./с): для декодера Витерби, 16 бит	200	480				

# VALEX ЭЛЕКТРОТЕХНИЧЕСКИЕ КОМПЛЕКТУЮЩИЕ

repol BALLUFF SE SCHrack BM X PARTEX eao esa EFEN EUCHNER CONTRIEX

- ❖ Промышленные и миниатюрные электромагнитные реле
- ❖ Кнопки управления и сигнальные лампочки
- ❖ Силовые разъединители, плавкие вставки



- ❖ Наконечники для проводов, инструмент
- ❖ Маркировка для проводов
- ❖ Индуктивные датчики
- ❖ Промышленные джойстики

ООО "ВАЛЕКС" ☎ (495) 411 96 35, 411 96 36 ✉ info@valex.ws 🌐 www.valex.ws

Таблица 2. Результаты испытаний сигнальных контроллеров разработки ГУП НПЦ «ЭЛВИС» и микросхем TigerSHARC (ADI) применительно к радиолокации

	Время выполнения процедур алгоритма							
	ADSP-TS101 300 МГц		xADSP-TS201 600 МГц		1892BM2Я(МС-24) 100 МГц		1892BM5Я(МС-0226) 120 МГц	
	циклы	мкс	циклы	мкс	циклы	мкс	циклы	мкс
Согласование с длительностью строба	19703	65,7	20517	34,2	9416 4780*	94,2 47,8*	3924 1992*	39,3 16,6*
Дополнение нулями до размера БПФ	112	0,4	127	0,2	170 87*	1,7 0,9*	71 36*	0,7 0,3*
Коррекция неортогональности	889	3,0	903	1,5	1712	17,1	714	7,1
Весовая обработка	1332	4,4	1376	2,29	869*	8,7*	363*	3,0*
БПФ	10441	34,8	10682	17,8	10300	103,0	4292	42,9
Переход к действительному сигналу	1057	3,5	1073	1,8	5228*	52,3*	2179*	18,2*
Обнаружение	4458	14,9	5489	9,1	1536	15,4	640	5,4
Всего:	37992	126,6	40167	66,9	23134 12500*	231,3 125,0*	9641 5210*	96,44 4,5*

ми заменить импортные ЦПОС со стандартной архитектурой и рабочей частотой до 300 МГц. ИС легко интегрируются с другими микросхемами серий «Мультикор», «Мультифлекс», «Мультимикст» и «ФлексРадио» разработки НПЦ «ЭЛВИС». Появление этих контроллеров обеспечивает элементную базу для отечественных многоце-

левых систем обработки информации как в мобильном, так и в стационарном высокопроизводительном вариантах. Кроме того, выход на рынок программного продукта «MCStudio-ECL» даст мощный импульс процессу замещения импортной элементной базы, т.к. решит проблему переноса наработанного отечественными разработ-

чиками программного обеспечения с ряда зарубежных DSP-платформ (таких, как TMS 320xx или TigerSHARC) на отечественную платформу «МУЛЬТИКОР».

*В работе над проектом также принимали большое участие: М.Н. Алексеев, Ю.И. Грибов, В.Ф. Никольский, В.А. Силин, А.А. Крымов, Р.Н. Перекин,*

\* При обработке данных в формате блочной плавающей точки (16 + j16)



Ю.В. Миронова, А.В. Кучинский, А.А. Чупринов, Р.А. Грачев, П.А. Рыжов, В.В. Сеницын, Ю.М. Герасимов, Ю.Н. Александров, И.В. Заболотнов.

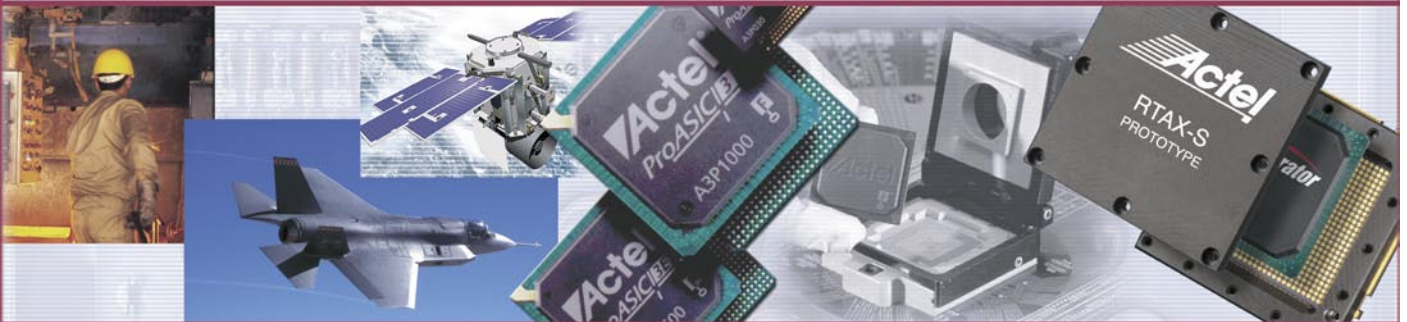
## ЛИТЕРАТУРА

1. [www.multicore.ru](http://www.multicore.ru).
2. Александров Ю.Н., Беляев А.А., Глушков А.В. и др. Новая отечественная платформа СБИС «МУЛЬТИКОР» для высокоточной скоростной обработки информации и управления объектами // Цифровая обработка сигналов, 2001, №3, с. 15–19.
3. Петричкович Я.Я., Солохина Т.В. SoC серии «Мультикор» — первый шаг и положительная динамика развития // Компоненты и технологии, 2003, №5, с. 104–106.
4. Солохина Т.В., Александров Ю.Н., Петричкович Я.Я., Сигнальные контроллеры компании «ЭЛВИС»: первая линейка отечественных DSP // Электроника: Наука, Технология, Бизнес, 2005, № 7, с. 70–77.
5. Солохина Т.В., Петричкович Я.Я., Глушков А.В. и др. Время кентавров: Микросхемы серии Мультикор-11xx (MC-11xx) для встраиваемых и мобильных применений // Chip News, 2002, № 8 (71), с. 10–17.
6. Солохина Т.В., Петричкович Я.Я., Глушков А.В. и др. Мультикор-12S — сигнальный контроллер с плавающей точкой для высокоточных встраиваемых применений // Chip News, 2003, №8 (81), с. 4–15.
7. Солохина Т.В., Петричкович Я.Я., Александров Ю.Н. и др. Микросхемы базовых серий «МУЛЬТИКОР». Сигнальный микроконтроллер 1892BM2T (MC-24). Часть 1 // Chip News, 2005, №2 (95), с. 20–31.
8. Солохина Т.В., Петричкович Я.Я., Александров Ю.Н. и др. Микросхемы базовых серий «МУЛЬТИКОР». Сигнальный микроконтроллер 1892BM2T (MC-24). Часть 2 // Chip News, 2005, №3 (96), с. 20–26.
9. Солохина Т.В., Петричкович Я.Я., Глушков А.В. и др. Интегральная среда разработки и отладки программ для модулей сигнальных контроллеров на базе ИМС платформы МУЛЬТИКОР // Chip News, 2002, №9 (72), с. 46–55.
10. Процессорное ядро RISCore32. Система команд // ГУП НПП «ЭЛВИС», 2004.
11. DSP-ядро ELcore\_x6. Система инструкций // ГУП НПП «ЭЛВИС», 2004.
12. Интегрированная среда разработки и отладки программ MCStudio™. Установка среды MCStudio™. Руководство системного программиста... // ГУП НПП «ЭЛВИС», 2004.
13. Интегрированная среда разработки и отладки программ MCStudio™.

Описание пользовательского интерфейса. Руководство оператора // ГУП НПП «ЭЛВИС», 2004.

14. Интегрированная среда разработки и отладки программ MCStudio™. Руководство программиста... // ГУП НПП «ЭЛВИС», 2004.
15. Интегрированная среда разработки и отладки программ MCStudio™. Инструменты ядра DSP. Руководство оператора // ГУП НПП «ЭЛВИС», 2004.
16. Интегрированная среда разработки и отладки программ MCStudio™. Инструменты ядра RISC. Руководство оператора // ГУП НПП «ЭЛВИС», 2004.
17. AMBA Specification (Rev 2.0) // <http://www.arm.com>.
18. Андреев Н.А., Витязев С.В., Воронков Д.В. Анализ эффективности программной реализации типовых операций обработки радиолокационных сигналов на цифровых сигнальных процессорах // Труды 11-й Международной конференции «Радиолокация, навигация, связь (RLNC-2005)», Воронеж, 2005, том 3, с. 1599–1606.
19. Бочарников Д., Замятин И., Крысенков С., Сеницын В. Система программирования отечественной серии сигнальных контроллеров «Мультикор» // Электронные компоненты, 2005, №12, с. 90–93; 2006, №1, с. 87–89.

## Actel Программируемая логика для промышленных и авиационно-космических применений



### Преимущества проверенные на практике

- Непревзойденная надежность
- 100% защита от копирования
- Минимальное энергопотребление
- Гарантированная спецстойкость
- Мгновенное включение
- Рекордная производительность

### Новые семейства ПЛИС ACTEL ProASIC3, ProASIC3E

- Экономическая эффективность
- Пользовательская flash-память
- Расширенные ресурсы ОЗУ
- Легкость программирования ISP
- Широкий выбор интеграции

**Технология меняется вслед за нами!**

**Представительство Actel в России и Украине**  
 196066, Россия, Санкт-Петербург, Московский проспект 212  
 Тел./Факс: +7 (812) 740 62 09  
[WWW.ACTEL.RU](http://WWW.ACTEL.RU)



**Технический центр Actel в России**  
**СКБ Интегральных Систем** - разработки на основе технологии «Система-на-Кристалле»  
[WWW.A-SYS-D.COM](http://WWW.A-SYS-D.COM)