

# Микросхемы базовых серий “МУЛЬТИКОР”. Сигнальный микроконтроллер 1892BM2T (MC-24)

Серийная микросхема сигнального микроконтроллера 1892BM2T (MC-24) спроектирована отечественным дизайн-центром ГУП НПЦ “ЭЛВИС” совместно с центрами проектирования “АНГСТРЕМ-М” (топологическое проектирование) и “АНГСТРЕМ-СБИС” (разработка блока PLL) и изготовлена по 0,25-мкм/5 металлов/3,3-В технологии на зарубежной фабрике. Чип содержит два процессорных ядра, имеет размер 10 x 10 мм, интеграцию 18 млн. транзисторов и обеспечивает пиковую производительность при нормальных условиях, равную 600 MFLOPs. На сегодняшний день MC-24 является самым производительным отечественным процессором обработки сигналов.

Статья подготовлена коллективом авторов в составе: Т.В. Солохина, Я.Я. Петричкович, Ю.Н. Александров, А.В. Глушков, Ю.М. Герасимов, И.В. Заболотнов, М.Н. Алексеев, А.А. Беляев, Ю.И. Грибов, В.Д. Глушков, В.Ф. Никольский, В.А. Силин, А.А. Крымов, О.А. Тимофеев, Ю.В. Миронова, Р.Н. Перекин, А.В. Кучинский, А.А. Чупринов, Р.А. Грачев.

Микросхема сигнального микроконтроллера 1892BM2T (“MC-24”) спроектирована как однокристалльная двухпроцессорная “система на кристалле” на базе IP-ядерной (IP — Intellectual Property) платформы “МУЛЬТИКОР”, разработанной в ГУП НПЦ “ЭЛВИС”. Сокращение “MC-24” соответствует обозначению серии сигнальных контроллеров “Мультикор (Multicore)”, в которую входит и микросхема 1892BM2T.

На рис. 1 представлено фото первых серийных микросхем серии “Мультикор”: 1892BM3T (MC-12) и 1892BM2T (MC-24), поставляемых НПЦ “ЭЛВИС” заказчиком.

По принятой классификации СБИС, разрабатываемых на базе платформы “МУЛЬТИКОР”, микросхема 1892BM2T (MC-24) относится к сигнальным контроллерам миниконфигурации с плавающей и фиксированной точкой. В качестве двух процессоров MC-24 содержит 32-разрядный центральный процессор (CPU — Central Processing Unit) и высокопроизводительный процессор-акселератор для цифровой обработки сигналов (DSP — Digital Signal Processing) с плавающей/

фиксированной точкой, обеспечивающий обработку информации с переменными форматами данных от битовых форматов до стандартного формата с плавающей точкой IEEE754.

Микросхема 1892BM2T (MC-24) реализована на основе трех программируемых интеллектуальных ядер из библиотеки платформы “МУЛЬТИКОР” и включает:

- процессорное RISC-ядро RISCORE32™, поддерживающее архитектуру MIPS32™, которое реализует функции топ-контроллера “системы на кристалле” и обеспечивает основу для использования стандартного C-компилятора;
- программируемое DSP-ядро Elcore-24™ (Elcore = ELVEES’s core) с плавающей и фиксированной точкой и с уровнем производительности по операциям с плавающей точкой, который лидирующие зарубежные фирмы достигли лишь два-три года назад. Микросхема MC-24 конкурирует по производительности DSP-ядра с рядом 16(32)-разрядных процессоров обработки сигналов разработки ADI и TI, но имеет в своем составе стандартное RISC-ядро, что увеличивает ее функциональность;
- многоканальный интеллектуальный контроллер прямого доступа (DMA) с поддержкой режимов самосинхронизации ресурсов микросхемы и 32-разрядный по данным порт внешней памяти со встроенным SDRAM/FLASH/SRAM/ROM-контроллером, что позволяет поддерживать пиковую производительность на большинстве задач реального времени с интен-

сивными потоками данных (радиолокация, видео- и инфракрасные системы наблюдения, гидроакустика и др.).

Ядро DSP имеет RISC-подобную архитектуру, с точки зрения реализованного в нем 3-уровневого конвейера. Это обеспечивает выполнение почти всех операций ядра за один такт, кроме двухтактных переходов (если они исполняются).

Программирование на ассемблере для DSP-ядра выполняется достаточно быстро и эффективно, что подтверждено на практике многими пользователями микросхемы. Ведется разработка полного C (C++)-компилятора для микроконтроллеров серии “Мультикор”. Команда для DSP-ядра достаточно емкая, так как имеет длину 32 или 64 бита и напоминает с этой точки зрения VLIW (Very Long Instruction Word). Например, одна 64-разрядная инструкция для Elcore-24™ может выполнять две пары арифметических (логических) операций любой сложности и две пары пересылок типа регистр-память.

Это обеспечивает высокую плотность кодов для различных программ и позволяет реализовать различные функции обработки сигналов на MC-24, используя в несколько раз меньше команд (а, значит, и меньше время), чем для многих известных на рынке DSP-микросхем. Это обусловлено тем, что сравниваемые DSP имеют, к примеру, или огромную длину конвейера (10–12 уровней, как известный процессор TigerSHARC T201 разработки ADI), или низкую плотность кода. К примеру, число тактов для процедуры FFT-256 (комплексные 16-разрядные форматы данных и коэффициентов) в 8 раз короче для SISD-ядра Elcore-



**Рисунок 1** Микросхемы серийных сигнальных контроллеров серии “Мультикор”: 1892BM3T (MC-12) и 1892BM2T (MC-24)

14<sup>™</sup> (менее 1000 тактов), чем, к примеру, для C54 разработки TI (8542 такта). А ведь за то же время 2SIMD-ядро Elcore-24<sup>™</sup> может выполнять одновременно 2 таких преобразования, т.е. более чем в 16 раз быстрее по количеству тактов, чем ядро C54.

Ядро Elcore-24<sup>™</sup> поддерживает дважды распараллеленную организацию потоков данных по 2SIMD-типу. SIMD означает: одиночный поток команд и двойной поток данных (Single Instructions Multiple Data). Это достигается благодаря свойству *масштабируемости* DSP-ядра Elcore-x4, то есть возможности увеличения числа секций обработки данных (SIMD-секций) от одной (Elcore-14<sup>™</sup> для микросхемы 1892BM3T — MC-12) до двух (Elcore-24<sup>™</sup>), оставаясь в рамках одной системы инструкций и одной среды разработки (платформа “МУЛЬТИКОР”).

Таким образом, параллелизм обработки данных в ядре Elcore-24<sup>™</sup> имеет два уровня: на уровне архитектуры DSP-ядра в целом он определяется наличием нескольких SIMD-секций; на уровне каждой из SIMD-секций он определяется возможностью выполнения в рамках одной инструкции (т.е. в течение одного командного цикла) нескольких вычислительных операций и пересылок.

Система инструкций и гибкие адресные режимы DSP-ядра Elcore-24<sup>™</sup> позволяют эффективно реализовать алгоритмы обработки сигналов/изображений. DSP-ядро имеет возможность обработки информации с переменными форматами данных: от битовых форматов до стандартных форматов данных с плавающей точкой в формате IEEE754.

В табл. 1 проведено сравнение параметров быстродействия микросхем серии “Мультикор” — 1892BM2T (MC-24), перспективной микросхемы MC-0226 этой же серии (ожидаемые тестовые образцы — первое полугодие 2005 г.) и зарубежных микросхем ЦПОС.

Микросхема 1892BM2T (MC-24) сочетает в себе лучшие качества двух классов приборов: микроконтроллеров и цифровых процессоров обработки сигналов. Это важно для многих приложений. Во-первых, для микроминиатюрных встраиваемых применений, когда приходится решать в рамках ограниченных габаритов одновременно обе задачи: управления и высокоточной обработки информации, включая сигналы и изображение. Для разработчика системы обеспечивается уникальная возможность применения новых алгоритмов принятия решений в CPU на основе параллельно

выполняемых процедур адаптивного анализа и обработки сигналов в DSP, что реализуется в пределах одной и той же микросхемы. Для этих целей разработаны методы применения адапт-RLS/LNS алгоритмов на базе микросхем серий “МУЛЬТИКОР”, в частности, для адаптивных антенных решеток.

На рабочей частоте 100 МГц при нормальных условиях микросхема обеспечивает производительность: 600 MFLOPs (стандарт IEEE754), 3600 MOPS в байтовом формате и 1600 MOPS в формате 16-бит блочной плавающей точки при нормальных условиях. Она содержит 2 Мбита внутренней памяти, периферийные SHARC-совместимые линки, последовательные порты, порт UART. Значение параметра по соотношению “Пиковая производительность/мощность потребления” составляет для ИМС MC-24 ~0,3 MFLOPs/мВт, что соответствует мировому уровню для данного класса микросхем. Кроме того, микросхема поддерживает ряд программируемых режимов энергосбережения.

Микросхема MC-24 может быть эффективно использована в следующих приложениях:

- локация и гидроакустика;
- связь;

- сигнальная обработка: БПФ, фильтрация, корреляция, быстрая свертка;
- управление объектами с использованием высокоточных адаптивных методов;
- высокоточная обработка данных для малогабаритных мобильных и встраиваемых систем;
- системы промышленного контроля;
- графические ускорители;
- мультимедийная обработка изображений и цифровое телевидение (H.264/AVC (CIF), JPEG 2000 и т.д.);
- мультимедийная обработка звука (MPEG-1 Audio Layer3 [MP3], AMR, WMA, AAC и другие звуковые кодеки) и многих других.

## ФУНКЦИОНАЛЬНЫЕ ПАРАМЕТРЫ И ВОЗМОЖНОСТИ МИКРОСХЕМЫ 1892BM2T

Сигнальный микроконтроллер 1892BM2T имеет следующие функциональные параметры и возможности.

### Центральный процессор (CPU):

- архитектура — подобная MIPS32<sup>™</sup>;
- 32-бит шины передачи адреса и данных;

**Таблица 1. Сравнительные характеристики микросхемы 1892BM2T (MC-24), перспективной MC-0226 (“ЭЛВИС”) и наиболее высокопроизводительных зарубежных DSP-процессоров**

Фирма	ЭЛВИС		TI		ADI	
	MC-24	MC-0226	C6701	C6416	TS201	BF53
Процессор	MC-24	MC-0226	C6701	C6416	TS201	BF53
Тактовая частота, МГц *	100	120	166	600	600	600
Технология, мкм	0,25	0,25	0,18	0,13	0,13	0,13
Пиковая производительность, форматы:						
16-бит фиксированная точка (в MOPS);	1600	3840		4800	9600	3360
32-бит плавающая точка (в MFLOPs);	600	1440	1000		3600	
8-бит фиксированная точка (в MOPS)	3600	8640				
КИХ-фильтр, 35 отводов, 1024 входных отсчета (в мкс):						
фиксированная точка (MAC: 16x(16+32);	99,8	41,6		25,7		
фиксированная точка (MAC: 8x(8+32);	50,4	21	393			
32-бит плавающая точка	195,4	81,4	393		32,8	
FFT-1024, комплексное (в мкс):						
16-бит блочная плавающая точка;	58	24,2				
32-бит плавающая точка	107	44,6	160	11	19,3	
FFT-256, комплексное (в мкс):						
16-бит блочная плавающая точка;	11,2	4,7				5,3
32-бит плавающая точка	21,5	9,0			4,12	
DCT-8x8, 16-бит фиксированная точка (в мкс)	0,6	0,3				< 0,5
ACS-операции (в MOPS):						
(для декодера Витерби, 16-бит фиксированная точка)	200	480				

\* При нормальных условиях.

\*\* Для микросхемы TS-201 использованы данные из источника “TS-LIB IEEE754 Floating Point Optimized DSP Library for the TigerSHARC DSP. V 2.0.4” EZ –DSP Ltd.

\*\*\* Размер программного кода FET для микросхемы 1892BM2T составляет 140 32-разрядных слов, а для TS-201 — 1484 слов, т.е. код для 1892BM2T приблизительно в 10 раз короче, что характеризует также лучшую эффективность конвейерного кода.

\*\*\*\* Длина программного конвейера DSP-ядра для микросхемы 1892BM2T составляет 3 уровня, а для микросхемы TS-201 — 10 уровней.

- кэш команд объемом 16 Кбайт;
- архитектура привилегированных ресурсов в стиле ядра R4000:
  - регистры Count/Compare для прерываний реального времени;
  - отдельный вектор обработки исключений по прерываниям;
- программируемое устройство управления памятью:
  - два режима работы — с TLB (Translation Look aside Buffer) и FM (Fixed Mapped);
  - 16 строк в режиме TLB;
- устройство умножения и деления;
- встроенные средства отладки программ на основе JTAG IEEE 1149.1;
- производительность — 100 млн. оп./с (здесь и далее параметры производительности приведены при тактовой частоте 100 МГц);
- оперативная память центрального процессора (CRAM) объемом 32 Кбайт;
- 5 внешних запросов прерывания, в том числе, немаскируемое прерывание (NMI).

### Цифровой сигнальный процессор (DSP):

- “Гарвардская” RISC-подобная архитектура с оригинальной системой команд и преимущественно однопоточным исполнением инструкций;
- 2SIMD (Single Instruction Multiple Data) организация потоков команд и данных;
- стандартный набор инструкций, не уступающий по функциональности зарубежным ЦПОС, совмещающий процедуры обработки данных и пересылки;
- 3-ступенчатый конвейер по выполнению 32- и 64-разрядных инструкций;
- расширенные возможности по динамическому диапазону обрабатываемых данных, позволяющие обрабатывать данные в 8/16/32-разрядных форматах с фиксированной точкой, либо в одном из форматов с плавающей точкой — 24E8 (стандарт IEEE 754) или 32E16 (расширенный формат). При этом обеспечивается возможность компромиссного выбора между точностью и производительностью. Аппаратные меры повышения точности и динамического диапазона (блочная плавающая точка; режим насыщения; инструкции преобразования форматов);
- аппаратная поддержка программных циклов;

- память программ PRAM объемом 16 Кбайт;
- двухпортовые памяти данных XRAM и YRAM объемом 128 и 32 Кбайт соответственно;
- пиковая производительность DSP:
  - 600 млн. оп./с 32-бит операций с плавающей точкой (IEEE 754);
  - 3600 млн. оп./с 8-бит операций с фиксированной точкой;
  - 1600 млн. оп./с 16-бит операций с фиксированной точкой;
  - 800 млн. оп./с 32-бит операций с фиксированной точкой.

### Порт внешней памяти (MPORT):

- шина данных — 64 разряда, шина адреса — 32 разряда;
- встроенный контроллер управления статической памятью типа SRAM, FLASH, ROM, а также синхронной динамической памятью типа SDRAM;
- программное конфигурирование типа памяти и объема ее сегмента;
- программное задание циклов ожидания;
- формирование сигналов выборки 4 сегментов памяти;
- обеспечение обслуживания 4 внешних прерываний;
- перевод SDRAM в режим энергосбережения.

### Периферийные устройства:

- 12-канальный контроллер прямого доступа в память (DMA). 4 внешних запроса прямого доступа; специальные режимы синхронизации. Поддержка 2-мерной и разрядно-инверсной адресации. Режим передачи Flyby, подобный реализованному в ADSP-TS201: внешнее устройство ↔ внешняя память;
- два порта обмена последовательным кодом (SPORT), совместимые с ADSP21160 (разработка фирмы ADI);
- четыре линковых порта (LPORT), совместимые с ADSP21160. Имеется режим работы в качестве портов ввода/вывода общего назначения (GPIO);
- универсальный асинхронный порт (UART) типа 16550;
- 32-разрядный интервальный таймер (IT);
- 32-разрядный таймер реального времени (RTT);
- 32-разрядный сторожевой таймер (WDT).

### Дополнительные возможности и особенности:

- узел фазовой автоподстройки частоты (PLL) с множителем/делителем входной частоты;
- встроенные средства отладки программ (OnCD);
- порт JTAG в соответствии со стандартом IEEE 1149.1;
- рассеиваемая мощность: около 1400 мВт (максимальная); режимы энергосбережения: 700 мВт — при неработающем DSP-ядре (режим Stop); 90 мВт — при программном уменьшении тактовой частоты в 16 раз; 18 мВт — при программном отключении тактовой частоты (включение тактовой частоты осуществляется по внешним прерываниям);
- корпус: HSBGA 292 с размерами 27 x 27 мм<sup>2</sup> и с улучшенными характеристиками по рассеиваемой мощности;
- инструментальное программное обеспечение: MCStudio™, математические библиотеки (математические операции, элементарные функции), библиотеки прикладных программ (БПФ, фильтрации, сжатия изображений, адаптивной фильтрации и другие), ядро операционной системы LINUX. На стадии разработки находится ядро реального времени и полный компилятор с языков C и C++.

В табл. 2 приведены основные параметры быстрой микросхемы 1892BM2T при нормальных условиях. Структурная схема микросхемы 1892BM2T приведена на рис. 2.

В состав 1892BM2T (MC-24) входят следующие основные узлы и компоненты (рис. 2):

- CPU — центральный процессор на основе RISC-ядра;
- CRAM — двухпортовая оперативная память центрального процессора;
- DSP — сопроцессор цифровой обработки сигналов с фиксированной точкой (далее может называться также ЦПОС — цифровой процессор обработки сигналов);
- DMA — контроллер прямого доступа в память;
- MPORT — порт внешней памяти;
- SPORT — последовательный порт;
- LPORT — линковый порт;
- UART — универсальный асинхронный порт;

- ICACHE — кэш программ центрального процессора;
- IT — интервальный таймер;
- WDT — сторожевой таймер;
- RTT — таймер реального времени;
- CDB[31:0] — шина данных CPU;
- DDB[63:0] — шина данных DMA;
- A[31:0] — шина адреса порта внешней памяти;
- D[63:0] — шина данных порта внешней памяти;
- OnCD — встроенные средства отладки программ;
- XRAM, YRAM — памяти данных DSP;
- PRAM — память программ DSP;
- AGU — адресный генератор;
- EDDBS — коммутатор внешних шин;
- IDBS — коммутатор внутренних шин;
- PCU — устройство программного управления;
- PAG — генератор адреса программ;
- PDC — программный дешифратор;
- RF — регистровый файл;
- ALU — арифметическое устройство;
- ALUCtr — управление ALU;
- XDB0–XDB3, GDB, PDB — шина данных DSP;
- XAB, YAB, PAB — адресные шины DSP;
- M, S, A, L — арифметические узлы ALU DSP.

RISC-ядро является ведущим в двух-процессорной конфигурации микросхемы и выполняет основную программу. Для RISC-ядра обеспечен доступ к ресурсам DSP-ядра, являющегося ведомым по отношению к RISC-ядру: обмен данными RISC-ядра с ресурсами DSP-ядра выполняется по командам LOAD, STORE. Память DSP-ядра и его регистры для RISC-ядра 32-разрядные (словные), то есть состояние двух младших разрядов адреса игнорируется.

RISC-ядро управляет работой DSP-ядра посредством передачи ему задания (макрокоманды) с последующим запуском DSP-ядра (перевод из режима STOP в режим RUN). С другой стороны, DSP-ядро формирует следующие прерывания в RISC-ядро:

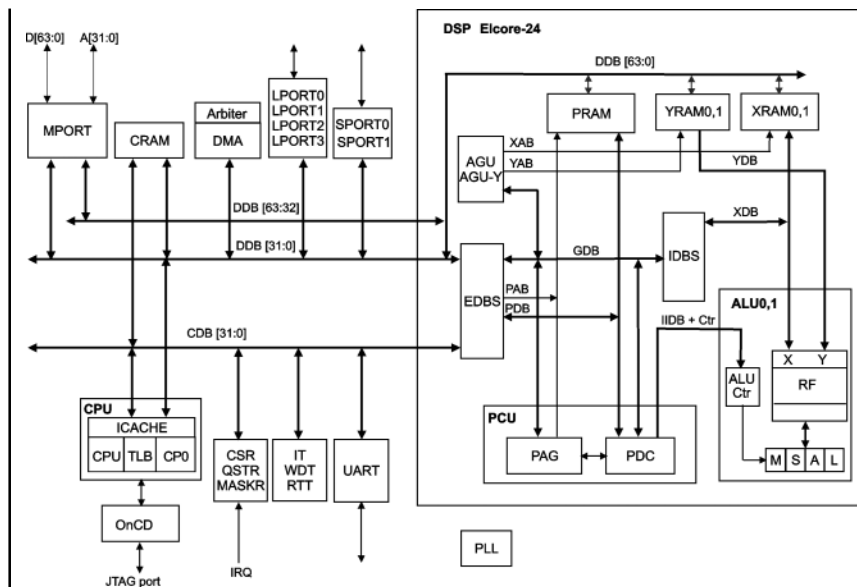
- программное;
- по переполнению стека;
- при выполнении команды STOP;
- при достижении адреса останова при исполнении программы до адреса останова или завершения требуемого числа шагов при пошаговом исполнении программы.

Внутренние интерфейсы микросхемы выполнены на базе стандартных

**Таблица 2. Основные параметры быстродействия микросхемы 1892BM2T (MC-24)**

Характеристика	Значение
Пиковая производительность (в количестве арифметических операций за 1 такт) для: <ul style="list-style-type: none"> <li>однобитного целочисленного формата</li> <li>8-бит целочисленного формата</li> <li>16-бит целочисленного формата</li> <li>32-бит целочисленного формата</li> <li>32-бит формата плавающей точки (IEEE754)</li> </ul>	128 36 16 9 6
Количество MAC-операций (умножение с накоплением) за 1 такт для: <ul style="list-style-type: none"> <li>MAC <math>1 \times (1+32)</math>, целочисленный однобитный формат</li> <li>MAC <math>(8+8) \times ((8+8)+(32+32))</math>, комплексный целочисленный 8-бит формат</li> <li>MAC <math>16 \times (16+32)</math>, целочисленный 16-бит формат</li> <li>MAC <math>32 \times (32+64)</math>, целочисленный 32-бит формат</li> <li>MAC <math>32 \times (32+32)</math>, формат 32-бит данных с плавающей точкой (IEEE754)</li> </ul>	64 4 4 2 2
Время выполнения операций с плавающей точкой расширенного формата 32e16, в тактах: <ul style="list-style-type: none"> <li>сложение</li> <li>вычитание</li> <li>сложение и вычитание</li> <li>умножение</li> </ul>	2,5 3 4,5 2,5
Нерекурсивная фильтрация, целочисленный комплексный формат $(16+16) \times (16+16) + (32+32)$ : <ul style="list-style-type: none"> <li>производительность, число тактов на отвод</li> <li>скалярная задержка</li> </ul>	1 2
Нерекурсивная фильтрация, комплексный формат плавающей точки: <ul style="list-style-type: none"> <li>производительность, число тактов на отвод</li> <li>скалярная задержка</li> </ul>	2 4
БПФ-1024, комплексное, 16-бит формат данных и коэффициентов, блочная плавающая точка, в тактах	5800
БПФ-1024, комплексный формат 32-бит плавающей точки (IEEE754), в тактах	10700
Декодер Витерби, на одну метрику пути, 16-бит формат, в тактах	0,5
БП Уолша-Адамара-256, комплексное, 16-бит формат, блочная плавающая точка, в тактах	600
Деление, формат 32-бит плавающей точки, в тактах	5
Квадратный корень, формат 32-бит плавающей точки, в тактах	8
Синус, формат 32-бит плавающей точки, в тактах	9

Примечание. Рабочая частота микросхемы составляет 100 МГц при нормальных условиях.



**Рисунок 2 Структурная схема микросхемы 1892BM2T(MC-24)**

для систем на кристалле шин AMBA. Шина передачи данных RISC-ядра CDB (31:0) и шина данных DMA DDB (63:0) реализованы в соответствии со

спецификацией шины AHB (Advanced High-performance Bus) архитектуры AMBA (Advanced Microcontroller Bus Architecture).

Таблица 3. Порт внешней памяти

Название вывода	Количество	Тип	Назначение
A[31:0]	32	O	Шина адреса
D[63:0]	64	IO	Шина данных
nWRH[3:0], nWRL[3:0]	8	O	Запись байтов асинхронной памяти
nWEH, nWEL	2	O	Запись асинхронной памяти
nRDH, nRDL	2	O	Чтение асинхронной памяти
nACK	1	I	Готовность асинхронной памяти
nCS[3:0]	4	O	Разрешение выборки банков памяти
SRASH, SCASL	2	O	Строб адреса строки
SCASH, SCASL	2	O	Строб адреса колонки
SWEH, SWEL	2	O	Разрешение записи
DQM[3:0]	4	O	Маска выборки байта
SCLK	1	O	Тактовая частота работы
CKE	1	O	Разрешение частоты
A10	1	O	10 разряд адреса
BA[1:0]	2	O	Номер банка
nFLYBYH, nFLYBYL	2	O	Признак режима передачи DMA "Flyby"
nOEH, nOEL	2	O	Разрешение чтения внешнего устройства
nCSIO[3:0]	4	O	Номер канала DMA

Всего 136 выводов.

Таблица 4. Выводы управления

Название вывода	Количество	Тип	Назначение
nDMAR[3:0]	4	I	Запрос канала DMA
NMI	1	I	Немаскируемое прерывание
nIRQ[3:0]	4	I	Запросы прерывания
BYTE	1	I	Разрядность шины данных 6 банка внешней памяти: 0–32 разряда; 1–8 разрядов
WDT	1	O	Признак срабатывания сторожевого таймера
PLL_EN	1	I	Разрешение работы PLL
Ch_PLL	1	I	Выбор режима работы PLL
PLL_OUT	1	O	Контрольный выход PLL
XTI, XTO	2	I, O	Сигнал тактовой частоты
RTC_XTI, RTC_XTO	2	I, O	Сигналы частоты реального времени
nRST	1	I	Сигнал установки исходного состояния
TCK	1	I	Тестовый тактовый сигнал (JTAG)
TRST	1	I	Установка исходного состояния (JTAG)
TMS	1	I	Выбор режима теста (JTAG)
TDI	1	I	Вход данных теста (JTAG)
TDO	1	O	Выход данных теста (JTAG)
nDE	1	I, O	Состояние DEBUG

Всего 25 выводов.

Таблица 5. SHARC-совместимые последовательные порты (2 порта)

Название вывода	Количество	Тип	Назначение
DT	1	O	Передаваемые данные
DR	1	I	Принимаемые данные
TCLK	1	IO	Частота передачи
RCLK	1	IO	Частота приема
TFS	1	IO	Синхронизация передачи
RFS	1	IO	Синхронизация приема

Всего 6×2 = 12 выводов.

Таблица 6. SHARC-совместимые линк-порты (4 линка)

Наименование сигнала	Количество	Тип	Назначение
LDAT	8	IO	Шина данных
LCLK	1	IO	Синхронизация
LACK	1	IO	Подтверждение

Всего 10×4 = 40 выводов.

## НАЗНАЧЕНИЕ И ФУНКЦИИ ВЫВОДОВ МИКРОСХЕМЫ 1892BM2T (MC-24)

Микросхема имеет следующие выводы:

- порт внешней памяти — 136;
- выводы управления — 25;
- два SHARC-совместимых последовательных портов — 12;
- два SHARC-совместимых линковых портов — 40;
- порт UART — 10;
- выводы электропитания — 69.

Описание выводов микросхемы приведено в табл. 3-8.

На рис. 3 представлен чертеж корпуса микросхемы 1892BM2T (MC-24) HSBGA-292.

## Электрические параметры микросхемы 1892BM2T (MC-24)

Номинальное значение напряжения электропитания микросхемы 1892BM2T (MC-24):

- $U_{CC1} = 3,3$  В (периферия);
- $U_{CC2} = 2,5$  В (ядро).

Напряжения электропитания  $U_{CC1}$  и  $U_{CC2}$  необходимо подавать и снимать одновременно (допустимые отклонения напряжения электропитания СБИС от номинального значения — не более ±5%). Электрические параметры микросхемы 1892BM2T (MC-24) при приемке и поставке приведены в табл. 9.

Значения предельно-допустимых и предельных электрических режимов эксплуатации микросхемы 1892BM2T (MC-24) приведены в табл. 10.

На рис. 4 приведена типовая схема применения микросхемы 1892BM2T. Используются следующие обозначения:

- FLASH — постоянное запоминающее устройство типа FLASH;
- SDRAM — синхронная динамическое оперативное запоминающее устройство (ОЗУ);
- SRAM — статическое ОЗУ;
- Interrupt — запросы прерывания;
- DAC/ADC — цифро-аналоговые и аналого-цифровые преобразователи;
- LINK DEVICE — устройства, подключаемые к линковым портам;
- SERIAL DEVICE — устройства, подключаемые к последовательным портам;
- RS-232 Buffer — приемо-передатчик RS-232;

- Config — схема задания конфигурации;
- RESET — узел формирования сигнала установки исходного состояния.

## ИНСТРУМЕНТАЛЬНОЕ ПРОГРАММНОЕ ОБЕСПЕЧЕНИЕ МИКРОСХЕМЫ 1892BM2T

Для микросхемы MC-24 разработана интегрированная среда проектирования программного обеспечения MCStudio™, которая обеспечивает полный цикл разработки и отладки программ. MCStudio™ является кросс-системой и функционирует на инструментальной машине IBM PC в среде Windows 9x, XP.

Интегрированная среда проектирования включает:

- среду разработки программ для RISC- и DSP-ядер;
- среду отладки программ в исходных текстах, исполняемых на программном симуляторе, и отладчик для работы с платой отладочного модуля (MC-24EM) для микросхемы MC-24 или целевым устройством через JTAG;
- возможность доступа пользователю ко всем инструментам через один интерфейс.

Среда разработки программ для RISC-ядра содержит:

- компилятор с языка Си с препроцессором;
- ассемблер с препроцессором;
- дизассемблер;
- линковщик;
- библиотечарь;
- утилиты подготовки исполняемого кода.

Среда разработки программ для DSP-ядра включает:

- ассемблер с препроцессором;
- дизассемблер;
- линковщик;
- библиотечарь;
- утилиты подготовки исполняемого кода.

Концепция интегрированной среды и инструментального программного обеспечения для микросхем серии "Мультикор" представлена на сайте фирмы по адресу [www.elvees.ru](http://www.elvees.ru), среда

Таблица 7. Порт UART

Наименование сигнала	Количество	Тип	Назначение
SIN	1	I	Вход последовательных данных
SOUT	1	O	Выход последовательных данных
nOUT1		O	Выход общего назначения
nOUT2		O	Выход общего назначения
nDCD	1	I	Признак обнаружения модемом несущей частоты (Receiver Line Signal Detect)
nRI	1	I	Признак обнаружения модемом телефонного звонка (Ring Indicator)
nDTR	1	O	Готовность UART к установлению связи (Data Terminal Ready)
nRTS	1	O	Готовность UART к обмену данными (Request To Send)
nCTS	1	I	Готовность модема к обмену данными (Clear To Send)
nDSR	1	I	Готовность модема к установлению связи (Data Set Ready)

Всего 10 выводов.

Таблица 8. Выводы электропитания

Название вывода	Количество	Назначение
CVDD	11	Напряжение электропитания ядра ( $U_{CC2}$ )
PVDD	19	Напряжение электропитания входных и выходных драйверов ( $U_{CC1}$ )
AVDD	1	Напряжение электропитания PLL ( $U_{CC3}$ )
GND	38	Земля ядра, входных и выходных драйверов, PLL

Всего 69 выводов.

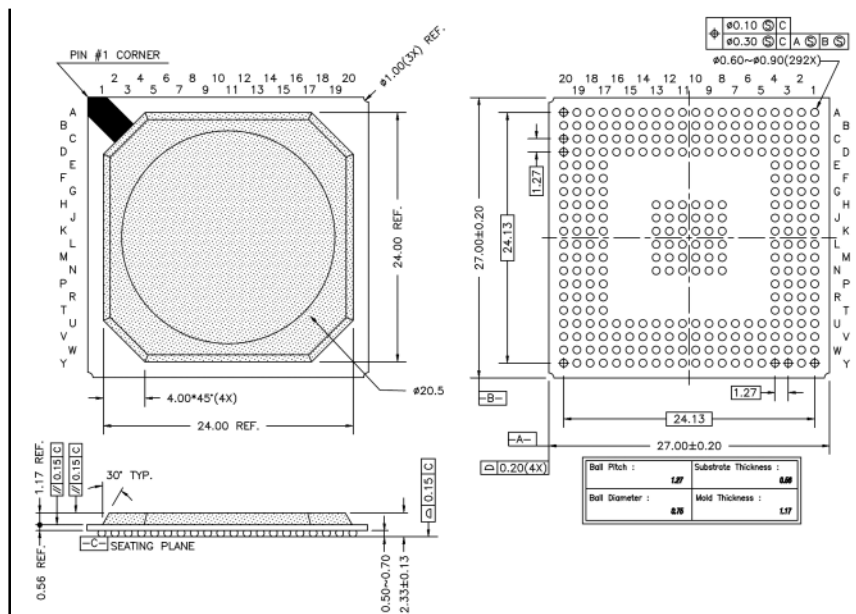


Рисунок 3 Чертеж корпуса микросхемы 1892BM2T (MC-24) HSBGA-292

MCStudio™ вместе с документацией на микросхему поставляется компанией "ЭЛВИС". Инструментальное программное обеспечение для микросхемы 1892BM2T(MC-24) базируется на совместимости RISC-ядра с архитектурой MIPS32™. Вследствие этого, оно поддерживает большой объем свободно распространяемого программного обеспечения для этой архитектуры.

В MCStudio™ [1] по сравнению с версией для микросхемы 1892BM3T

(MC-12) добавлен программный симулятор микросхемы 1892BM2T, симулятор 2SIMD ядра ElCore-24™ с плавающей и фиксированной точкой.

В любой момент исполнения программы на симуляторе можно просмотреть состояние всех регистров и содержимое памяти процессора. Существует возможность изменения содержимого регистров и памяти пользователем, когда симулятор находится в состоянии останова. Содержимое памяти, регист-

**Таблица 9. Электрические параметры микросхемы 1892BM2T (MC-24) при приемке и поставке**

Наименование параметров, единица измерения, режим измерения	Буквенное обозначение	Норма		Температура, °С
		не менее	не более	
Ток потребления статический, мА при $U_{CC1} = 3,47$ В, $U_{CC2} = 2,63$ В — расшифровать, $U_{IH} = 2,0$ В, $U_{IL} = 0,8$ В	$I_{CC}$		50	от -60 до +85
Ток потребления динамический, мА при $U_{CC1} = 3,47$ В, $U_{CC2} = 2,63$ В, $U_{IH} = 2,0$ В, $U_{IL} = 0,8$ В и максимальной рабочей частоте синхронизации	$I_{CCO}$		700	от -60 до +85
Ток утечки в состоянии “выключено” (третье состояние), мкА при $U_{CC1} = 3,47$ В, $U_{OH} = 3,47$ В, $U_{OL} = 0,0$ В	$I_{OZL}, I_{OZH}$	-10	10	от -60 до +85
Ток утечки высокого уровня на входе, мкА при $U_{CC1} = 3,47$ В, $U_{IH} = 3,47$ В	$I_{IH}$	-10	10	от -60 до +85
Ток утечки низкого уровня на входе, мкА при $U_{CC1} = 3,47$ В, $U_{IL} = 0,0$ В	$I_{IL}$	-10	10	от -60 до +85
Ток низкого уровня на входе и входе/выходе, привязанном к $U_{CC1}$ , мкА при $U_{CC1} = 3,47$ В, $U_{IL} = 0,0$ В	$I_{LPU}$	-400	-2	от -60 до +85
Ток высокого уровня на входе и входе/выходе, привязанном к общему уровню, мкА при $U_{CC1} = 3,47$ В, $U_{IH} = 3,47$ В	$I_{HPD}$	2	400	от -60 до +85
Выходное напряжение низкого уровня, В при $I_{OL} = 4$ мА, $U_{CC1} = 3,47$ В	$U_{OL}$		0,4	от -60 до +85
Выходное напряжение высокого уровня, В при $I_{OH} = -2$ мА, $U_{CC1} = 3,13$ В	$U_{OH}$	2,4		от -60 до +85
Входная емкость, пФ	$C_I$		10	$25 \pm 10$
Емкость входа/выхода, пФ	$C_{V/O}$		20	$25 \pm 10$
Выходная емкость, пФ	$C_O$		20	$25 \pm 10$

\*) Подлежат уточнению в процессе дополнительных измерений.

**Таблица 10. Значения предельно-допустимых и предельных электрических режимов эксплуатации**

Наименование параметра, единица измерения	Буквенное обозначение	Норма			
		Предельно-допустимый режим		Предельный режим	
		не менее	не более	не менее	не более
Напряжение питания периферии, В	$U_{CC1}$	3,13	3,47	–	3,9
Напряжение питания ядра, В	$U_{CC2}$	2,37	2,63	–	3,0
Входное напряжение высокого уровня, В	$U_{IH}$	2,0	$U_{CC1}+0,1$	–	$U_{CC1}+0,3$
Входное напряжение низкого уровня, В	$U_{IL}$	0,0	0,8	-0,3	–
Напряжение, прикладываемое к выходу микросхемы в состоянии “выключено”, В	$U_{OZ}$	0,0	$U_{CC1}+0,1$	-0,3	$U_{CC1}+0,3$
Емкость нагрузки каждого выхода, пФ	$C_L$	–	25	–	–

\*) Подлежат уточнению в процессе дополнительных измерений.

рового файла, AGU отображается в шестнадцатеричном виде, а содержимое регистров PCU, ALU/PDN — в двоичном.

Программный симулятор полностью моделирует работу реальной микросхемы как в скалярном режиме (SISD), используемом в микросхеме 1892BM3T (MC-12), так и в 2SIMD-режиме для микросхемы 1892BM2T (MC-24). Следует отметить, что обе микросхемы совместимы по программному обеспечению снизу-вверх (код для MC12 полностью выполняется на MC-24), что обеспечивает для пользователей комфортный переход с одной микросхемы на другую.

Симулятор отражает отличительные особенности DSP-ядра Elcore-24™ с 2SIMD-архитектурой:

- наличие набора регистров AGU-Y для второй секции ALU;
- секционные регистры PDNR, CCR, AC0, AC1;
- формирование интегральных признаков из секционных регистров CCR в регистр SR происходит в соответствии с битами SR[14..13];
- бит в регистре SR, включающий режим перекрестного обращения к памяти данных в режиме SIMD;
- обращение по записи в память данных XRAM DSP в режиме “Broadcasting” — режим одновременной загрузки памяти данных обеих секций DSP.

На рис. 5 показано содержимое регистров и памяти ядра DSP в состоя-

нии останова процессора. Данное изображение сделано при выполнении программы в режиме 2SIMD.

В дополнение к существующим инструментам MCStudio™, в качестве системы программирования для MC-24, на базе C++ компилятора переднего плана фирмы “Интерстрон” [2] для сигнальных контроллеров серии “Мультикор”, разрабатывается “Пакет средств разработки C++ программ”. Данный “Пакет” включает:

- компилятор C/C++;
- ассемблер;
- линкер (+ библиотечарь);
- отладчик.

Компилятор переднего плана C++ является полностью оригинальной про-

граммой (Роспатент рег. № 2001610833 от 4.07.2001 г.), созданной без использования каких-либо разработок третьих компаний или аналогичных свободно-доступных систем (типа компилятора GNU). Он реализует международный стандарт языка C++ ISO/IEC 14882 практически в полном объеме. Степень соответствия стандарту соответствует наиболее известным зарубежным реализациям C++ (Microsoft, IBM).

Одной из существенных особенностей компилятора C++ для процессора 1892BM2T (MC-24) является возможность смешанного программирования. При смешанном программировании программист-разработчик создает специальное ПО для различных процессорных ядер в едином синтаксисе языка и в рамках единого проекта, указывая с помощью директивы *#pragma*, какие подпрограммы и функции будут

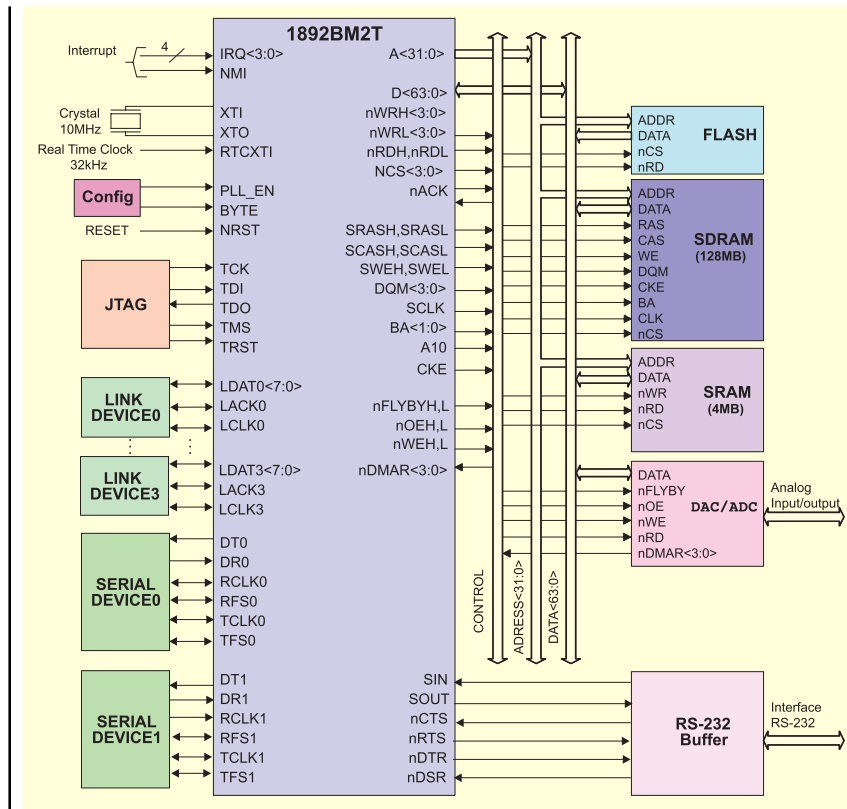
обрабатываться DSP-ядром, а какие — RISC-ядром.

К примеру,

```
#include <stdio.h>
...
#pragma dsp a1,b1
...
void vvod (float x, float cc, int d);
float raschet(float x, float cc, int d, int c);
float a1(int c, int d, float x);
float b1(int d, float cc);
...
void main(void)
{
    int c,d;
    float x,cc,rez;

    /* тело программы */

    vvod (x,cc,c,d);
    rez = raschet(x,cc,c,d);
    printf(rez);
    return;
}
/* -----*/
void vvod (float x, float cc, int c, int d)
{
    /* Ввод значений x,cc,с и d в тело программы*/
    return;
}
/* -----*/
float raschet(float x, float cc, int c, int d)
{
    float rez;
    rez = a1(c,d,x) / b1 (d,cc);
    return rez;
}
/* -----*/
float a1(int c, int d, float x)
{
    return (x / (c+d));
}
/* -----*/
float b1(int d, float cc)
```



**Рисунок 4** Типовая схема применения микросхемы 1892BM2T

**Рисунок 5** Пример отладочного окна среды разработки и отладки программ MCStudio™



```
{
  return ( cc / d );
}
```

В данном примере, описывающем единый последовательный процесс вычислений, используются пять функций: *main*, *vvod*, *raschet*, *a1* и *b1*. Функции *a1* и *b1*, объявленные в директиве `#pragma`, будут выполняться на DSP-ядре, а остальные — на RISC-ядре. При этом процесс подготовки и активизации ядер будет возложен на компилятор.

Компилятор позволяет также создавать исполняемый код для различных режимов функционирования вычислительной архитектуры, то есть для штатного (скалярного) и SIMD-режима. Данные возможности открывают перед разработчиками достаточно широкие перспективы, т.к. снимают с них необходимость аппаратно-программной организации вычислительного процесса, оптимальность которого не всегда может быть достигнута. Функции оптимизации, выполняемые компилятором, позволяют получить высокоэффективный исполняемый код, позволяющий максимальным образом загрузить вычислительные мощности процессорной архитектуры.

Для увеличения области применения разрабатываемых аппаратно-программных средств и создания возможностей использования ПО, написанного на GNU C, компилятор поддерживает диалекты GNU C и GNU C++.

Существенным преимуществом компилятора "Интерстрон" является наличие в нем унифицированной системы подготовки и обработки отладочной информации. Данная система позволяет корректно визуализировать информацию о значениях переменных не только в отладочной, но и в рабочей версиях разрабатываемых программ. Данное свойство особенно ценно, когда возникает необходимость трассировать програм-

му с использованием различных видов оптимизации.

Результатом функционирования компилятора является текст на макроасемблере для сигнального контроллера, что позволяет разработчику получить еще один инструмент для повышения эффективности создаваемого им ПО.

Утилита ассемблера позволяет получить и разрабатывать текст на ассемблере в той же среде, где ведется разработка программ на языках C/C++, и формировать бинарный код программы, (так называемый elf-перемещаемый файл), который может в дальнейшем использоваться для получения исполняемого файла после обработки его линкером, либо в качестве элемента, помещаемого в системную или пользовательскую библиотеку посредством утилиты библиотекаря.

Таким образом, "Пакет" предоставляет разработчикам широкий спектр услуг по эффективному использованию вычислительных возможностей архитектуры микросхем сигнальных контроллеров серии "Мультикор" (в том числе и микросхемы 1892BM2T) и разработки для них программного обеспечения различного уровня сложности.

## ОПЕРАЦИОННАЯ СИСТЕМА LINUX ДЛЯ СИГНАЛЬНЫХ КОНТРОЛЛЕРОВ "МУЛЬТИКОР"

В настоящее время ОС Linux является одной из самых популярных платформ для программного обеспечения, т.к. является свободно распространяемым ядром Unix-подобной операционной системы. Linux обладает всеми свойствами современной Unix-системы, включая полноценную многозадачность, развитую подсистему управления памятью и сетевую подсистему. На данном этапе в рамках работ НПЦ "ЭЛВИС" по телекоммуни-

кационным и мультимедийным приложениям платформы "МУЛЬТИКОР" успешно завершено портирование ядер Linux 2.4/2.6 на сигнальные контроллеры серии "Мультикор". Для микросхемы 1892BM2T (МС-24) Linux 2.4/2.6 ядра могут быть предоставлены в качестве дополнительной опции в составе отладочного комплекта МС-24ЕМ. Минимальное функционирующее ядро с пустым образом файловой системы занимает около 2,5 Мбайт, а код ядра — 1,3 Мбайт.

Таким образом, пользователям серии сигнальных контроллеров "Мультикор" предоставляется возможность использования всего многообразия программного обеспечения, разработанного для POSIX-сред, богатого набора сетевых протоколов и файловых систем. Ядро Linux, поставляемое вместе со свободно распространяемыми прикладными и системными программами, образует полнофункциональную универсальную операционную систему. Большую часть базовых системных компонент Linux унаследовал от проекта GNU, целью которого является создание свободной микроядерной операционной системы с лицом Unix.

Ядро Linux содержит драйверы всех устройств, входящих в состав ИМС. Для улучшения времени отклика системы планируется внедрение Real-Time расширений в ядро Linux. Далее развитие порта ОС Linux должно обеспечивать построение мультимедийных и телекоммуникационных приложений для перспективных серий телекоммуникационных процессоров Мультиком (МСom-xx) на базе платформы "МУЛЬТИКОР". В завершающей стадии реализации находится Linux-дистрибутив, включающий стандартные и широко используемые приложения и библиотеки. Кроме того, создаются специальные прикладные библиотеки, оптимизированные для платформы "МУЛЬТИКОР".

**МЭЛТ**

Москва, ул. Нижегородская, 31  
 тел./факс: (095) 278-9660, 278-9674, 913-8421  
 E-mail: sales@melt.com.ru  
 http://www.melt.com.ru

● Аналог импортных:  
 ● Знакосинтезирующие  
 ● Графические  
 ● Сегментные  
 ● Разработка и изготовление на заказ

ЖК индикаторы  
 ЖК индикаторы  
 ЖК индикаторы  
 ЖК индикаторы

**ИЗГОТОВЛЕНИЕ ТРАФАРЕТОВ ДЛЯ SMT-МОНТАЖА**  
[www.rezonit.ru](http://www.rezonit.ru)

124460 Москва  
 Зеленоград, а/я 31  
 (095) 777-8080  
 (095) 730-5000  
 order@rezonit.ru

Санкт-Петербург  
 ул. Маяковского, 45,  
 офис 211  
 (812) 115-6818  
 (812) 118-1933  
 spb@rezonit.ru

**РЕЗОНИТ**