

Микросхемы базовых серий “МУЛЬТИКОР”.

Сигнальный микроконтроллер 1892BM2T (MC-24)*

ОСОБЕННОСТИ ПРОГРАММИРОВАНИЯ МИКРОСХЕМЫ 1892BM2T (MC-24) В РЕЖИМЕ 2SIMD

В [3] уже были рассмотрены концептуальные детали архитектуры RISC-ядра, особенности обработки данных в DSP-ядре Elcore™ в форматах с плавающей точкой, а также особенности реализации порта JTAG и встроенных аппаратных средств отладки программ для микросхемы 1892BM3T (MC-12), хотя они были освещены применительно к тестовому чипу MC-12S. Микросхема 1892BM2T использует аналогичные архитектурные решения.

Поэтому ниже мы предлагаем сосредоточиться на деталях функционирования, использования и программирования 2SIMD-архитектуры DSP-ядра Elcore-24™ микросхемы 1892BM2T (MC-24), а также на составе прикладных библиотек, которые предлагаются пользователю микросхемы, чтобы сделать процесс программирования данной микросхемы более эффективным.

ОСОБЕННОСТИ ИСПОЛНЕНИЯ ИНСТРУКЦИЙ В РЕЖИМАХ SIMD И SCALAR

DSP-ядро Elcore-24™ микросхемы 1892BM2T может работать в режиме одного потока команд и одного потока данных (в режиме SISD — Single Instructions Single Data — или в так называемом режиме SCALAR), как в микросхеме 1892BM2T (MC-12), либо в режиме 2SIMD. Переключение режима SIMD/SCALAR осуществляется при помощи 15-го бита регистра SR (бит SI).

В режиме SIMD (SR[15]=1) в каждой вычислительной секции (номер 0 и номер 1) одновременно выполняются одни и те же инструкции обработки и пересылки из общего потока инструкций. При этом в обеих вычислительных секциях формируются одинаковые адреса регистровых файлов и одинаковые адреса памяти данных.

В режиме SCALAR (SR[15]=0) работает вычислительная секция 0. При этом объем внутренней памяти XRAM увеличивается в 2 раза по сравнению с режимом SIMD.

Особенности выполнения обменов между регистрами управления и регистрами данных в режиме SIMD состоят в том, что в режиме SIMD при пересылке данных из регистра управления в регистр данных пересылаемые данные записываются в соответствующие регистры обоих секций.

При обратной пересылке — из регистра регистрового файла в регистр управления — источником пересылаемых данных является соответствующий регистр нулевой секции.

Особенности исполнения условных инструкций состоят в том, что каждая вычислительная секция содержит регистр кода условий (CCR), в который после исполнения каждой арифметической операции записываются признаки сформированного результата. Эти признаки называются *секционными (локальными)*. На основе локальных признаков в регистре SR формируются *интегральные признаки*.

В скалярном режиме интегральные признаки совпадают с соответствующими разрядами регистра CCR0 0-й секции.

В режиме SIMD способ формирования интегральных признаков определяется в зависимости от управляющего кода SRSI (разряды 14-13 регистра SR) согласно приводимой табл. 11.

При исполнении условных инструкций проверка истинности заданного условия производится:

- по локальным признакам — при исполнении арифметических инструкций и/или инструкций пересылки данных внутри регистрового файла;
- по интегральным признакам — во всех остальных случаях.

В режиме 2SIMD программа DSP выполняется на паре одинаковых вычислительных секций, работающих по одной программе, что создает принципиальную

возможность удвоения производительности DSP. Каждая вычислительная секция имеет: регистровый файл, память данных XRAM и табличную память YRAM.

С целью повышения эффективности исполнения программы в режиме 2SIMD для микросхемы 1892BM2T (MC-24) проведена специальная адаптация внутренней архитектуры DSP-ядра.

Соответствующие особенности по распараллеливанию, обеспеченные в архитектуре микросхемы 1892BM2T (MC-24), кратко рассматриваются ниже:

- распараллеливание по регистровым файлам;
- распараллеливание по памяти данных (XRAM);
- распараллеливание по табличной памяти (YRAM);
- распараллеливание по пересылкам данных (режим пересылок “Broadcasting”);
- обмен данными между вычислительными секциями;
- условное выполнение команд, формирование условий;
- реализация двух вспомогательных режимов обработки для форматов фиксированной точки: насыщения (Saturation) и автоматического масштабирования (Scaling).

Для их иллюстрации использован алгоритм реализации цифрового приемника, представленный на рис. 6 и запрограммированный на DSP-ядре Elcore-24™ в режиме 2SIMD (табл. 12).

Распараллеливание по регистровым файлам

Операнды DSP размещаются только в регистровом файле (не считая не-

Таблица 11

SRSI	Способ определения интегральных условий
00	Использование CCR0 нулевой секции
01	Объединение секционных условий по “И”
10	Объединение секционных условий по “ИЛИ”
11	Резерв

* Окончание. Начало в № 2, 2005 г.

Таблица 12. Программа реализации цифрового приемника для ELcore-24™, исполняемая в режиме 2SIMD

Bg: DO K, Lk				цикл прореживания K
STOP				ожидание: x, пуск DSP
FMPY R0, R12, R0	(A2), R2			Pf*(PI/2^30) ->R0
				-x
B F_COS				на счет cos(Pf), -sin(Pf) (Pf=R0)
FMPY R2, R0, R4	ADDL R8, R10, R10			r, q=x*cos(Pf), x*(-sin(Pf)) фаза p+=f
LSRL 1, R10, R0		R4, (A0) +		p/2
				r, q->буфер
Lk: LSSL 32, R6, R6	CVIF R0, R0			s=0 Pf=(float)p
TRL R6, R4	TRL R0, R14	(A0) +, R2	(AT) +IT, R0	w=0 сохран. Pf->R14 <-(r, q) <-(h, h)
DO N, Ln				цикл по N отводам фильтра
Ln: FMPY R2, R0, R4	FADD R4, R6, R6	(A0) +, R2	(AT) +IT, R0	w=r*h, q*h s+=w <-(r, q) <-(h, h)
	FADD R4, R6, R6	(A0) -	(AT) +DT	s+=w возврат указателей
BD Bg				возврат на ожидание
	TRL R14, R0	R6, (A1) +		Pf->R0 R, Q->буфер

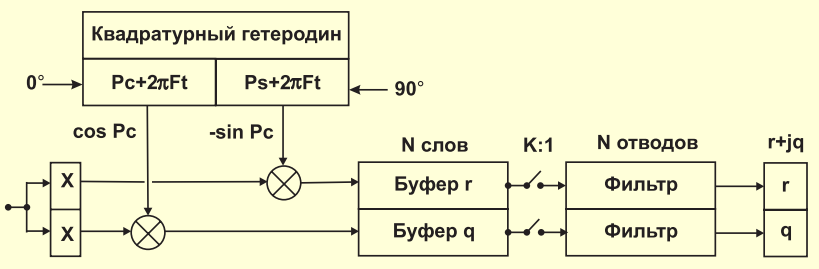


Рисунок 6. Блок-схема алгоритма цифрового приемника с действительным входом и квадратурным выходом, используемая для иллюстрации возможностей программирования ELcore-24™ в режиме 2SIMD

посредственных операндов), поэтому распараллеливание по регистровым файлам эквивалентно распараллеливанию по данным — основной форме SIMD-распараллеливания.

Приемник принимает очередной входной действительный отсчет x , гетеродирует его в квадратуре к нулевой частоте и пропускает комплексный преобразованный сигнал $(r+jq)$ через фильтр нижних частот (ФНЧ), попутно прореживая выход, ввиду обужения полосы, в K раз. ФНЧ реализуется по прямой схеме КИХ-фильтра с N отводами.

RISC дважды передает значения x в XRAM (по одному для каждой секции) и запускает DSP для выполнения очередного цикла обработки (табл. 13).

DSP стартует с команды STOP, по текущей фазе вычисляет квадратуры гетеродина, используя функцию расчета косинуса (F_COS), затем выполняет гетеродинирование, накапливает обе компоненты $(r+jq)$ в буферах, модифицирует фазу $p+=f$ и завершает цикл на той же команде STOP. После K -кратного повтора выполняется фильтрация r - и

q -компонент (цикл по N), результат $(R+jQ)$ запоминается в XRAM, и программа снова уходит на цикл по K .

Фаза p рассчитывается в целом 32-разрядном формате (бит 31 соответствует P), чтобы исключить снижение точности при длительном накоплении. Затем она переводится в формат плавающей точки, пересчитывается в радианы (Pf) и используется в функции F_COS.

Наиболее громоздких процедур — две: расчет 2-х косинусов и 2-кратная фильтрация. В приведенной программе эти процедуры распараллелены по двум SIMD-секциям. В секции 0 обрабатывается косинусная компонента, в секции 1 — синусная. Для этого достаточно сдвинуть начальные фазы в секциях на 90° , инициализировав p в SIMD-секциях, соответственно, как 0 и 0x40000000. В результате время обработки сокращается практически вдвое.

Распараллеливание по памяти данных (XRAM)

При обращении к XRAM в режиме 2SIMD обе секции используют один и тот же генератор адреса Ax ; адрес удваивается, и секция 0 использует только четные адреса $2Ax$, а секция 1 — только нечетные $2Ax+1$. По этим двум адресам

одновременно пересылается пара смежных 32-разрядных слов. В частности, команда 3 используется при $A2=1$, так что секция 0 читает XRAM[2*1+0], а секция 1 — XRAM[2*1+1], т.е. те ячейки, куда RISC записал значение x .

Все виды модификации адреса сохраняются. Например, $A0$, с использованием модульного режима ($M0=0$), формирует два циклических буфера: для r по четным адресам XRAM и для q — по нечетным.

Для DMA-каналов, как и для RISC-процессора, памяти SIMD-секций выглядят как “вложенные”: четные адреса относятся к секции 0, а нечетные — к секции 1.

Распараллеливание по табличной памяти (YRAM)

В целом распараллеливание по YRAM выполнено аналогично XRAM: секция 0 работает по четным адресам, секция 1 — по нечетным. Однако возможности программирования YRAM в режиме 2SIMD расширены: для каждой из SIMD-секций используется свой набор регистров генератора адреса AT . Это позволяет, например, сформировать в SIMD-секциях сразу два канала цифрового приемника на разных частотах, используя для формирования гетеродинов разные тригонометрические таблицы и разный шаг их обхода.

YRAM доступна только для чтения, однако при обращении к ее пространству, как к XRAM, она становится ее адресным продолжением, и допускает как чтение, так и запись.

Распараллеливание по пересылкам данных (режим пересылки “Broadcasting”)

Введен специальный режим одновременной загрузки в памяти обеих SIMD-

Таблица 13

*XRAM_Begin+2)=x; x->XRAM[2] для секции 0
*XRAM_Begin+3)=x; x->XRAM[3] для секции 1
*_DCSR=0x4000; пуск DSP

Таблица 14

* $(XRAM_Begin+2)=x$; $x \rightarrow XRAM[2], XRAM[3]$ для обеих SIMD-секций
 *_DCSR=0x4000; пуск DSP

секций одних и тех же данных (в частности, одинаковых таблиц по DMA). В этом режиме, например, для ввода отсчета x в обе SIMD-секции в RISC достаточно выполнить только одну команду загрузки (вместо двух) и запустить DSP на обработку (табл. 14).

Обмен данными между вычислительными секциями

Предусмотрен режим обмена данными между обеими SIMD-секциями. В этом режиме секция 0 обращается к XRAM (YRAM) по нечетным адресам, а секция 1 — по четным. К примеру, если в программе (табл. 12) две последние команды заменить на показанные в табл. 15, то в регистрах обеих секций сформируются результат квадратичного детектирования комплексного выхода ФНЧ (E), который может быть использован для последующей обработки.

Условное выполнение команд, формирование условий

При работе в режиме 2SIMD каждая SIMD-секция может обрабатывать свои индивидуальные условия. Однако возможна также обработка и совместных (интегральных) условий. Оба варианта иллюстрируются во фрагменте пороговой обработки, приведенной в табл. 16. Каждая SIMD-секция просматривает свой массив в XRAM и сравнивает его элементы с порогом T (R2). Каждая секция подсчитывает число превышений в своем массиве в паре счетчиков C2 (R8). Кроме этого, в счетчиках C1 (R4) подсчитывается, сколько раз превышения произошли одновременно. Работа C2 основана на обработке локальных условий, C1 — интегральных. Напомним, что обе SIMD-секции работают по одной программе. Разными являются

Таблица 15

EMPY R6, R6, R6	R6, (A1)	R^2, Q^2	R, Q → XRAM
	MOVE 0x8100, SR	режим: SIMD + SWAP	
	MOVE (A1)+, R4		<-Q, R
EMPY R4, R4	0x8000, SR	Q^2, R^2	режим: SIMD
BD Bg			возврат на ожидание
TRL R14, R0	FADD R4, R6	Pf → R0	E=R^2+Q^2

входные данные и, как следствие, вырабатываемые при пороговом анализе условия, при которых команда INCL.gt R8 может в одной секции исполняться, а в другой — пропускаться.

Реализация двух вспомогательных режимов обработки для форматов фиксированной точки: насыщения (Saturation) и автоматического масштабирования (Scaling)

Режимы насыщения и автоматического масштабирования обрабатываются в SIMD-секциях индивидуально. Обеспечиваются также вычисления с блочной плавающей точкой, с посекционным аппаратным формированием блочной экспоненты.

В принципе, архитектура 2SIMD обеспечивает двукратное ускорение обработки, однако автоматически оно достигается лишь при распараллеливании по данным, когда два разных потока данных просто распределяются по SIMD-секциям, и параллельно обрабатываются по общей программе. В противном случае, когда обработке подлежит единственный поток данных, требуется адаптация алгоритма под его эффективную реализацию на архитектуре 2SIMD. Предварительные оценки достигнутого ускорения для некоторых типовых процедур обработки сигналов/изображений за счет использования SIMD-режима Elcore-24™ в отсутствие распараллеливания по данным сведены в табл. 17; ниже даны краткие пояснения к полученным оценкам.

Программа КИХ-фильтрации в SCALAR-режиме имеет вид, показанный

в табл. 18 (для определенности число отводов $N = 16$).

Оба массива, x (данные) и y (характеристика), хранятся в циклических буферах размера N.

Для SIMD-режима программа незначительно модифицируется (табл. 19).

Циклический буфер данных x по-прежнему имеет размер N, циклический буфер коэффициентов вдвое больше (2N). Результат формируется сначала в виде двух частичных сумм по N/2, которые выводятся в XRAM, а затем суммируются. Если допустимо использование 2-словного результата, то последние 4 команды (кроме самой последней) можно не использовать, и эффективность SIMD-режима возрастает (в табл. 17 приведены обе оценки).

Что касается БПФ, то все этапы этой процедуры, кроме одного, выполняются с распараллеливанием данных (т.е. в SIMD-режиме), а один остающийся этап — в SCALAR-режиме. Поэтому эффективность оказывается ниже 2 и ухудшается с уменьшением размера преобразования N.

Двумерность DCT (эта процедура является базовой многих стандартов сжатия изображений) создает предпосылку для распараллеливания по данным. Обработка начинается со столбцов, которые автоматически попадают в разные SIMD-секции. Однако при возврате результатов в XRAM нужно транспонировать преобразуемую матрицу, чтобы распараллеливание по данным сохранилось и при обработке строк. Адресные генераторы DMA-контроллера микросхемы 1892BM2T выполняют эту переадресацию без затрат времени.

В декодере Витерби производится постоянный перерасчет единого массива метрик путей, поэтому прямое распа-

Таблица 16. Фрагмент программы пороговой обработки для Elcore-24™, исполняемой в режиме 2SIMD (иллюстрация обработки условий)

LSL 32, R4, R4	CLRL R8	MOVE 0xA000, SR (A0)+, R6	режим: SIMD, SRSI=2 C1=C2=0	<-E0
DO 1024, L			цикл по массиву	
BD.lt M			En-T<0? (в обеих секциях)	
	INCL.gt R8		если En-T>0, то C2+=1	
	INCL R4		нет: C1+=1	
M: NOP			Да	
L:	FSUB R2, R6, R0	(A0)+, R6	n+=1	En-T
STOP				<-E[n+1]

Таблица 17. Оценки ускорения некоторых процедур обработки сигналов/изображений на Elcore-24™ в режиме 2SIMD при отсутствии параллелизма по данным (данные для обеих SIMD-секций являются общими)

Процедура	Ускорение (в раз)	Пояснение
1. КИХ-фильтр с N отводами: N = 8 N = 16 N = 32 N = 64	1,0/1,44 1,23/1,61 1,48/1,76 1,68/1,86	Формат плавающей точки, действительные отсчеты сигнала и отклика фильтра, прямая форма фильтра. Значение справа достигается, если допустимо, чтобы выход формировался в виде двух полусумм в соседних словах XRAM
2. БПФ-N, комплексное: N = 256 N = 1024 N = 2048	1,6 1,66 1,66	Формат плавающей точки, основание 4, один этап выполняется в режиме SCALAR, остальные — в режиме 2SIMD
3. DCT-8x8	2,0	2-мерное DCT, 16-b целочисленный формат, массив введен в XRAM по строкам, обрабатывается сначала по строкам, затем — по столбцам
4. Декодер Витерби с N состояниями: N = 64 N = 256	1,67 1,75	Оценены затраты на наиболее громоздкую часть процедуры: операции ACS, 16-b целый формат метрик
5. Генератор случайных чисел	2,0	Равномерное распределение, некоррелированные значения, интервал -8192+8191, 16-b отсчеты упакованы по 2 от старших разрядов

Таблица 18

LSSL 32 R4, R4 DO 16, Lf Lf: FMPY R2, R0, R4	CLRL R6 FADD R4, R6, R6 FADD R4, R6, R6	(A0)+, R2 (A0)- MOVE R6, (A1)+	(AT)+IT, R0 (AT)+IT, R0 (AT)+DT	w=0 s=0 w=x*y s+=w s+=w	s=0 s+=w возврат указателей	<-x <-y цикл по N отводам фильтра <-x <-y z->буфер
--	---	--------------------------------------	---------------------------------------	-------------------------------------	-----------------------------------	---

Таблица 19

LSSL 32 R4, R4 DO 8, Lf Lf: FMPY R2, R0, R4 FADD R4, R6, R6	CLRL R6 FADD R4, R6, R6 FADD R4, R6, R6	(A0)+, R2 (A0)- MOVE R6, (A1) MOVE 0x8100, SR MOVE (A1)+, R4	(AT)+IT, R0 (AT)+IT, R0 (AT)+DT	w=0 s=0 w=x*y s+=w s+=w	s=0 s+=w возврат указателей режим: SIMD + SWAP	<-x <-y цикл по N отводам фильтра <-x <-y z->буфер режим: SIMD Z=z+z' Z->буфер
--	---	--	---------------------------------------	-------------------------------------	---	--

Таблица 20

MPUU R3, R4, R4 MPUU R3, R6, R6 DO 512, Lr MPUU R3, R4, R4 MPUU R3, R6, R6 LSRX 2, R8, R10 MPUU R3, R4, R4 Lr: MPUU R3, R4, R4 STOP	ADD R2, R4, R4 ADD R2, R6, R6 ADD R2, R4, R4 ADD R2, R6, R6 SUBX R12, R10, R10 ADD R2, R6, R6	MOVE 0x20002000, R12.L R4, R9 R6, R8 R4, R9 R6, R8 R10, (A0)+	(8192, 8192) S=s*m S'=s'*m S=s*m S'=s'*m (s, s')/4 S=s*m S'=s'*m	s+=a s+=a s+=a s+=a s+=a s+=a	упаковка s упаковка s' упаковка s упак. s' (s, s')->буфер
---	--	--	---	--	---

раллеливание по данным невозможно. Однако, т.к. граф пересчета идентичен БПФ, то и методика поэтапного распараллеливания, использованная для БПФ, оказалась пригодной и для декодера, с примерно таким же ускорением.

Программа генерации последовательности из 1024-x псевдослучайных некоррелированных чисел в SCALAR-режиме приведена в табл. 20.

В регистрах R2 и R3 содержатся параметры случайного генератора: слабое и сомножитель, соответственно; числа генерируются парами в R4 (s) и R6(s')

при разных начальных условиях, поскольку они могут быть некоррелированными. За 5 тактов в цикле формируются и выводятся в XRAM 2 отсчета (s, s'), цикл повторяется 512 раз, чтобы сформировать массив из 1024 случайных отсчетов. Эта же программа выполняется и в SIMD-режиме, только с параметром цикла, равным 256. В этом случае одновременно работают уже 4 генератора с разными начальными условиями, и те же 1024 16-разрядных случайных числа, упакованных по 2 в 32-разрядные слова XRAM, генерируются за половинное время.

БАЗОВАЯ ПРИКЛАДНАЯ БИБЛИОТЕКА ДЛЯ СИГНАЛЬНЫХ КОНТРОЛЛЕРОВ С ПЛАВАЮЩЕЙ ТОЧКОЙ СЕРИИ "МУЛЬТИКОР"

Для многих областей применения обработки сигналов/изображений (таких как радиолокация, адаптивные антенные решетки, гидроакустика, наблюдения в видео- и инфракрасном диапазонах и др.) характерна большая вычислительная сложность, составляющая миллиарды операций в секунду. Это означает, что процедуры обработки дол-

жны максимально использовать все архитектурные возможности серии сигнальных контроллеров "Мультикор", включая и микросхемы 1892ВМ2Т и 1892ВМ3Т.

Поэтому разработка специализированной прикладной библиотеки для микросхем серии "Мультикор", охватывающей все базовые, и притом наиболее громоздкие, процедуры обработки сигналов/изображений, рассматривалась НПЦ "ЭЛВИС" как неотъемлемая часть создания технологии программирования сигнальных контроллеров.

Форматы данных, обрабатываемых функциями прикладной библиотеки, даны в табл. 21. Основными для сигнальных контроллеров 1892ВМ2Т и 1892ВМ3Т являются дробный (fr) (он же — целочисленный) 8/16/32-разрядный формат и стандартный 32-разрядный формат плавающей точки IEEE-754 (f); вспомогательным — формат плавающей точки повышенной разрядности (e) с 32-разрядной мантиссой и 16-разрядной экспонентой. Состав прикладной библиотеки представлен в табл. 22-31.

Ее функции распределены по 7-ми группам:

- 1-я обеспечивает стандартные вычисления, не реализуемые аппаратно (прежде всего, деление), генерацию элементарных функций и выполнение некоторых стандартных вычислительных процедур (например, интерполяцию по классическим схемам);
- 2-я группа оперирует с массивами и включает как операции над матрицами, так и разнообразные преобразования массивов (в том числе, спектральные), нашедшие применение в обработке сигналов/изображений;
- 3-я группа объединяет базовые процедуры спектрально-корреляционной и фильтровой обработки сигналов;
- специальную, 4-ю группу образует библиотека адаптивной фильтрации. Она предназначена для использования в эхо-компенсаторах, радиомодемах с адаптацией к меняющимся условиям распространения, системах фазово-частотной и временной автоподстройки, системах с пространственным подавлением помех на основе адаптивных антенных решеток;
- компоненты 5-й группы предназначены для эффективной реализации кодеров/декодеров мультимедийных систем;

Таблица 21. Форматы библиотечных данных

№	Обозначение	Описание формата
1	f	Стандартная плавающая точка 24e8 (IEEE-754)
2	fr	Целый/Дробный 16/32-разрядный
3	e	Расширенная плавающая точка повышенной точности 32e16

- функции 6- и 7-ой групп обеспечивают эффективную компрессию, соответственно, видео- и аудиоданных, а также некоторые виды специальной обработки мультимедийной информации.

Все функции прикладной библиотеки, с целью достижения максимальной эффективности ее выполнения, написаны на языке Ассемблера DSP-ядра ELAS™.

Состав базовой прикладной библиотеки сигнальных контроллеров серии "Мультикор" представлен в табл. 22-31.

Состав базовой прикладной библиотеки сигнальных контроллеров серии "Мультикор" представлен в табл. 22-31.

Таблица 22. Стандартные арифметические операции*

Функция	Формат
X / Y	f, e, fr
X / Y (с остатком)	f, e, fr
sqrt(X)=√X	f, e, fr
neg(X) = -X	e
Abs(X) = X	e
X+Y	e
X_Y	e
X ±Y	e
X*Y	e

*) Включаются бесплатно в состав базового комплекта MCStudio™ для микросхем 1892ВМ3Т и 1892ВМ2Т.

Таблица 24. Стандартные вычислительные операции****

Функция	Формат
Интерполяция Лагранжа	f, fr
Сплайн-интерполяция	f, fr
Билинейная интерполяция	f, fr

****) Разработка планируется не раньше второй половины 2005 г.

Таблица 26. Операции над массивами: преобразования массивов

Функция	Формат
Пакет FFT-программ**:	
прямое* / обратное	f, fr
комплексные данные / действительные данные	f, fr
прямой вход, 2-инверсный выход / прямой выход / выходная энергия	f, fr
2-инверсный вход, прямой выход / выходная энергия	f, fr
блочная плавающая точка	fr
Пакет DCT-программ***:	
одномерное/2-мерное	f, fr
блочная плавающая точка	fr
Wavelet-преобразования***:	
одномерное/2-мерное	f, fr
блочная плавающая точка	fr
Быстрое преобразование Уолша-Адамара***	f, fr
Быстрое преобразование Хартли***	f, fr

*) Включаются бесплатно в состав базового комплекта MCStudio™ для микросхем 1892ВМ3Т и 1892ВМ2Т.

***) Поставляется по договорной цене в составе базового комплекта MCStudio™ для микросхем 1892ВМ3Т и 1892ВМ2Т.

****) Библиотечная функция в процессе оформления. Будет доступна для поставок в первой половине 2005 г.

Таблица 23. Стандартные элементарные функции*

Функция	Формат
sin(X)	f, e, fr
cos(X)	f, e, fr
cos(X), sin(X)	f, e, fr
tan(X)	f, e, fr
ctan(X)	f, e, fr
atan(X)	f, e, fr
atan2(Y,X)	f, e, fr
exp(X)	f, e, fr
2 ^X	f, e, fr
log(X)	f, e, fr
log10(X)	f, e, fr
pow(X,Y) = X ^Y	f, e, fr

*) Включаются бесплатно в состав базового комплекта MCStudio™ для микросхем 1892ВМ3Т и 1892ВМ2Т.

Таблица 25. Операции над массивами: операции над матрицами****

Функция	Формат
Сложение матриц	f, e, fr
Вычитание матриц	f, e, fr
Перемножение матриц	f, e, fr
Обращение матрицы	f, e
Транспонирование матрицы	f, e, fr

****) Разработка планируется не раньше второй половины 2005 г.

Таблица 27. Прикладная обработка сигналов (фильтры, свертки, корреляции)

Функция	Формат
Генераторы случайных сигналов***: равномерное распределение / гауссово распределение	f,fr
КИХ-фильтры различных форм***: прямая / каноническая / каскадная / параллельная	f,fr
БИХ-фильтры****: звено 1-го порядка / звено 2-го порядка	f,fr
Фильтр Гильберта***	f,fr
Интерполирующий фильтр***	f,fr
Лестничный фильтр***	f,fr
Адаптивный фильтр — эквалайзер***	f,fr
Адаптивный фильтр Калмана***	f
Медианный фильтр: одномерный/2-мерный****	f,fr
Быстрая FFT-свертка (перекрытие с накоплением)***: комплексная / действительная блочная плавающая точка	f,fr fr
Быстрая FFT-взаимная корреляция (перекрытие с накоплением)***: комплексная / действительная / нормированная блочная плавающая точка	f,fr fr

***) Библиотечная функция в процессе оформления. Будет доступна для поставок в первой половине 2005 г.

****) Разработка планируется не раньше второй половины 2005 г.

Таблица 28. Прикладная библиотека адаптивной фильтрации сигналов**

Функция	Формат
Адаптивный фильтр, LMS-алгоритмы с действительными/комплексными коэффициентами	f
RLS-алгоритмы (4 разновидности)	f
RLS-алгоритмы со скользящим окном (4 разновидности)	f
NLMS-алгоритмы (4 разновидности)	f
RLS-алгоритмы с линейными ограничениями	f

***) Поставляется по договорной цене в составе базового комплекта MCStudio™ для микросхем 1892BM3T и 1892BM2T.

Таблица 29. Прикладная коммуникационная библиотека (компоненты)

Функция	Формат
Скремблер***	
Кодеры: сверточный / Риды-Соломона / Турбокодер****	
Декодеры: Витерби / Риды-Соломона / Турбодекодер****	fr
Модуляторы-демоуляторы: PSK, DPSK, FSK, QPSK, QAM****	
OFDM-модулятор/демоулятор****	fr

***) Библиотечная функция в процессе оформления. Будет доступна для поставок в первой половине 2005 г.

****) Разработка планируется не раньше второй половины 2005 г.

Таблица 30. Прикладная библиотека для обработки изображений (компоненты)

Функция	Формат
Сглаживание 2-мерное***	fr
Контрастирование гистограммное***	fr
Представление в псевдоцвете***	fr
Компрессия JPEG (DCT-based)*** / JPEG-2000 (wavelet-based)****	fr
Компрессия MPEG-2****	fr
Компрессия H.264****	fr

***) Библиотечная функция в процессе оформления. Будет доступна для поставок в первой половине 2005 г.

****) Разработка планируется не раньше второй половины 2005 г.

ОТЛАДОЧНЫЙ КОМПЛЕКТ ДЛЯ МИКРОСХЕМЫ 1892BM2T (MC-24EM)

Отладочный комплект MC-24EM предназначен для освоения аппаратно-программных средств сигнального микроконтроллера 1892BM2T (MC-24EM), а также отладки прикладных программ пользователя в режиме реального времени.

В состав комплекта поставляемого оборудования и программного обеспечения входят:

- отладочный модуль (плата) пользователя для микросхемы 1892BM2T;
- кабель связи платы с параллельным портом ПЭВМ;
- кабель связи платы с портом RS-232 ПЭВМ;
- сетевой адаптер с выходным напряжением +12 В;

Таблица 31. Прикладная библиотека для обработки звука (речи)

Функция	Формат
Декодер MP-3**	fr

***) Поставляется по договорной цене в составе базового комплекта MCStudio™ для микросхем 1892BM3T и 1892BM2T.

- ответная часть для двух разъемов типа IEEE 1386;
- CD с интегрированной средой разработки и отладки программ MCStudio™ и технической документацией на микросхему и ПО.

Отладочный модуль (плата) пользователя MC-24EM для микросхемы 1892BM2T содержит следующую аппаратуру (структура отладочного модуля приведена на сайте фирмы):

- микросхему 1892BM2T в корпусе HSBSGA-292;
- статическую память (SRAM) ёмкостью 1 Мбайт;
- динамическую память (SDRAM) ёмкостью 128 Мбайт;
- встроенный источник питания с выходными напряжениями +3,3 и +2,5 В;
- приёмо-передатчик канала RS-232, подсоединенный к порту UART микросхемы 1892BM2T;
- адаптер связи параллельного порта IBM PC (EPP) с JTAG-портом микросхемы 1892BM2T.

Модуль имеет следующие внешние разъемы:

- 4 разъёма "LPORT0"–"LPORT3" типа CON2x7 линковых портов микросхемы 1892BM2T;
- 2 разъёма "SPORT0"–"SPORT1" типа CON2x5 последовательных портов микросхемы 1892BM2T;
- разъём "EPP" типа DB25F для связи платы с параллельным портом IBM PC;
- разъём "RS-232" типа DB9F последовательного канала RS-232;
- разъём 6-контактной штыревой линейки внешних прерываний микросхемы 1892BM2T;
- 2 разъёма IEEE 386 SMT для возможности подключения аппаратуры пользователя к системной шине MPORT микросхемы 1892BM2T;
- разъём "PWRJACK" для подключения внешнего источника питания сетевого адаптера с выходным напряжением +12 В.

В состав поставляемого на CD-носителе Инструментального ПО входят:

- интегрированная среда разработки и отладки программ. Исполняемый



Рисунок 7 Отладочный комплект для микросхемы 1892BM3T (MC-12)

файл для установки MCStudio™ на компьютер;

- интегрированная среда разработки и отладки программ. Руководство оператора;
- интегрированная среда разработки и отладки программ. Инструменты ядра RISC. Руководство оператора;
- интегрированная среда разработки и отладки программ. Инструменты ядра DSP. Руководство оператора;
- интегрированная среда разработки и отладки программ. Руководство программиста.

Комплект поставляемой на CD-носителе технической документации содержит:

- инструкцию по эксплуатации оценочного модуля микросхемы 1892BM2T;
- серию сигнальных контроллеров "Мультикор". Микросхема интегральная 1892BM2T. Руководство пользователя;
- DSP-ядро Elcore_x4. Руководство пользователя;
- Процессорное ядро RISCорE32. Система инструкций;
- DSP-ядро Elcore_x4. Система инструкций.

Фотография отладочного комплекта для микросхемы 1892BM2T приведена на рис. 7, а фото отладочной платы из данного комплекта представлено на рис. 8.

Кроме того, разработан и поставляется "Адаптер связи EPP-JTAG", который предназначен для связи параллельного порта IBM PC и JTAG-порта в процессе отладки микросхем серии "Мультикор" в составе плат, разработанных потребителями. Данный канал используется для отладки программ в среде MCStudio™ (рис. 9).

При отладке программ в среде MCStudio необходимо подключить:



Рисунок 8 Отладочная плата для микросхемы 1892BM2T

1. Разъем DB-25 кабеля адаптера к параллельному (LPT) порту IBM PC;
2. Разъем соединителя типа IDC-10 (расположен на другом конце кабеля) к разъему JTAG-порта, расположенному в конструкции потребителя с микросхемой из серии Мультикор.

OnCD — накристалльная аппаратура отладки для микросхемы 1892BM2T имеет программный интерфейс (JTAG отладчик) с интегрированной средой разработки и отладки программ MCStudio™. Это позволяет пользователю проводить разработку программного обеспечения в реальном масштабе времени. Отладочный комплекс позволяет отрабатывать условия останова микросхемы в составе отладочного модуля, возможность выполнения команды RISC по одному такту в соответствии с продвижением команды в конвейере, а также доступность всего адресного пространства в состоянии останова, т.е. даёт возможность использовать OnCD и JTAG-порт микросхемы для эффективной отладки пользовательских программ.

Преимущества микросхемы 1892BM2T (MC-24), входящей в серию сигнальных микроконтроллеров "Мультикор" разработки НПЦ "ЭЛВИС":

- хорошая внутренняя схематехника, позволяющая обеспечить сопоставимую с зарубежными аналогами производительность, даже при использовании худших, чем у зарубежных микросхем, норм проектирования;
- более короткая длина программных кодов (от двух до десяти раз);
- одноктактное исполнение практически всех инструкций в процессорных ядрах MC-24 (стандартном MIPS32™-совместимом RISC-ядре и оригинальном DSP-ядре с плавающей и фикс-



Рисунок 9 "Адаптер связи EPP-JTAG" для сигнальных контроллеров серии "Мультикор"

сированной точкой) и минимальные скалярные задержки для сложных вычислений;

- перспективный C(C++)-компилятор и привычный стандартный синтаксис ассемблера для DSP-ядра при возможности глубокого управления ресурсами его операционного блока;
- пиковые производительности, измеряемые сотнями миллионов операций с плавающей точкой и SIMD-масштабируемость DSP-ядра;
- встроенные аппаратно-программные режимы энергосбережения;
- встроенные отладочные средства;
- инструментальное программное обеспечение MCStudio™;
- прикладные библиотеки для широкого спектра применений.

Все это предоставляет отечественному разработчику возможность проектировать эффективные системы обработки данных, сигналов и изображений на современном отечественном процессоре обработки сигналов, каким и является микросхема 1892BM2T.

Литература

1. Солохина Т., Петричкович Я., Глушков А., Крымов А., Орлов Г., Никольский В., Полтавцев А., Володин В., Александров Ю. Интегральная среда разработки и отладки программ для модулей сигнальных контроллеров на базе ИМС платформы МУЛЬТИКОР // Chip News. 2002. № 9. С. 46–55.
2. Зув Е.А. Компилятор полного стандарта C++ как ядро системы разработки программного обеспечения. Прил. к журналу "КомпьюЛог". 2000. № 3. 39 с.
3. Солохина Т., Петричкович Я., Глушков А., Александров Ю., Глушков В., Никольский В., Семенович А., Федин В., Силин В., Алексеев М., Бабичевский С., Грибов Ю., Беляев А. Мультикор-12S — сигнальный контроллер с плавающей точкой для высокоточных встраиваемых применений // Chip News. 2003. № 8. С. 4–15.